



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

ASTS04828

超低噪声时钟抖动消除器

服务电话：13691641629 13538015750

主要性能

- 支持 JEDEC JESD204B
- 超低 RMS 抖动
76fs RMS Jitter (10kHz 到 20MHz)
底噪: -162dBc/Hz@245.76 MHz
- PLL2 可提供多达 14 路差分时钟
最多 7 个 SYSREF 时钟
时钟最大输出频率 3.1GHz
支持 LVPECL ,LVDS,HSDS,LCPECL 等输出接口
- PLL1 提供一个 VCXO/Crystal 缓冲输出
支持 LVPECL ,LVDS, 2 路 LVCMOS 等输出接口
- PLL1
3 个备用的输入时钟
自动或者人工切换模式
无中断切换和 LOS
集成低噪声的晶体振荡电路
具有输入时钟丢失的保持模式

- PLL2
相位检测速率: $\leq 155\text{MHz}$
2 路集成低噪声 VCO
- 输出支持 1 到 32 整数分频, 占空比 50%
- 高精度数字延迟, 可自适应性
- 23ps 步进模拟延迟
- 模式: 双 PLL,单 PLL,时钟分布
- 工作温度: -40°C 到 85°C
- 工作电压: 3.15V 到 3.45V
- QFN-64 封装

应用领域

- 无线基础设施
- 数据交换时钟
- 网络, SONET/SDH,DSLAM
- 医疗/视频
- 测量

功能模块示意图

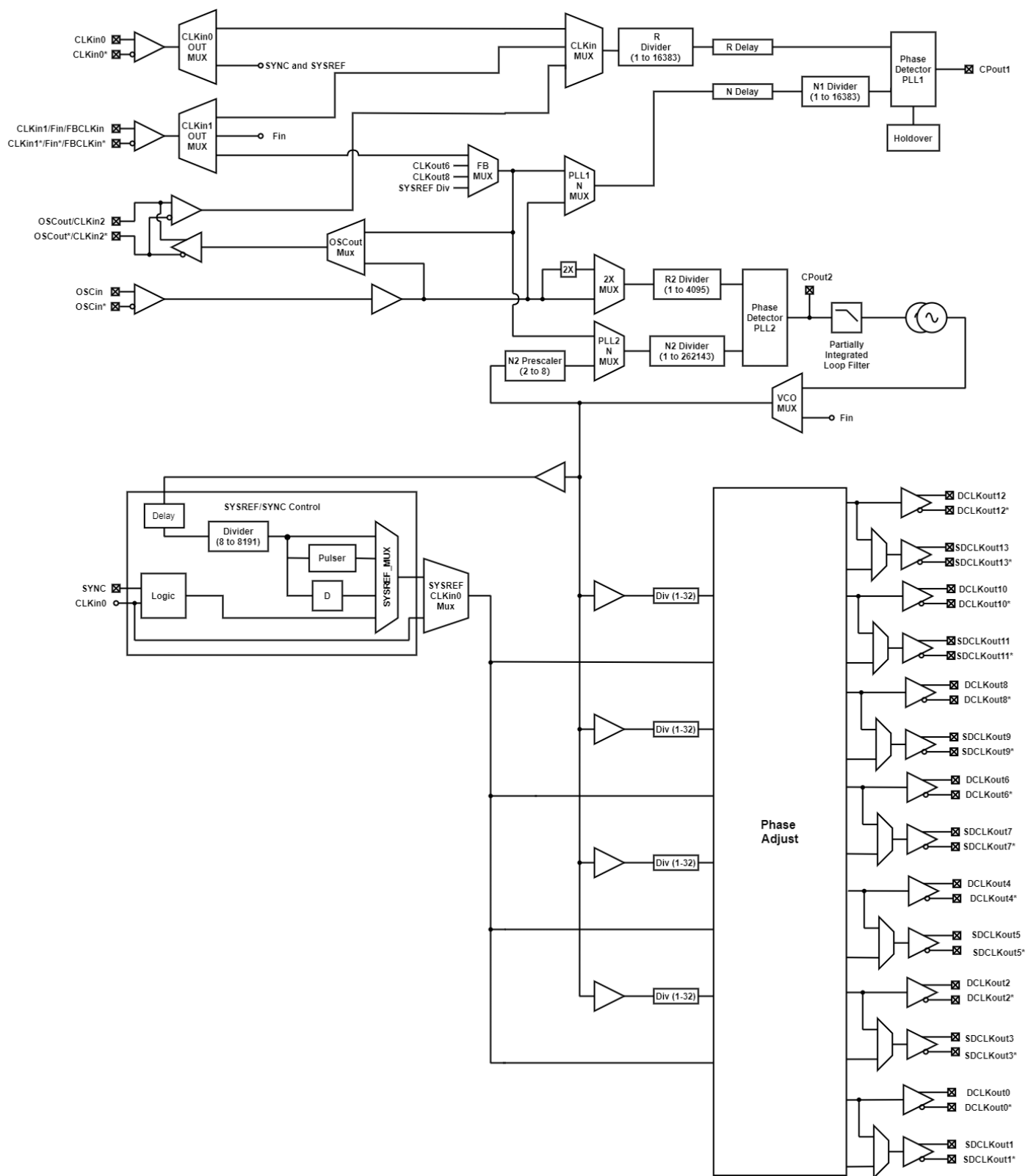


图 1 功能模块示意图

产品概况

ASTS04828 是一款高性能时钟调节器，支持 JEDEC JESD204B。当使用设备和 SYSREF 时钟时，PLL2 的 14 个时钟输出可配置去驱动 7 个 JESD204B 转换器或其他逻辑设备。SYSREF 可以使用直流和交流耦合来提供。不仅限于 JESD204B 应用，14 个输出均可单独配置为传统高性能时钟系统输出。

ASTS04828 具有高性能，低功耗，双 VCO，动态数字延迟，信号丢失保持等特性。因此，ASTS04828 是提供灵活的高性能时钟树的理想选择。

极限参数

电源电压 V_{CC}	-0.3V 至 3.6V
输入信号电压 V_{IN}	-0.3V 至 $V_{CC} + 0.3V$
电流 I_{IN} (CLKin/X/X*,OSCin/OSCin*,FBCLKin/in*,Fin/Fin*).....	$\pm 5mA$
引脚温度（焊接 4 秒）.....	260°C
最大结温 $T_{J, MAX}$	150°C
工作温度范围.....	-40°C 至 85°C
存储温度范围.....	-65°C 至 150°C
ESD(Human Body Model).....	$\pm 2000V$
ESD(Charged Device Model).....	$\pm 500V$

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

技术规格

推荐工作条件

表1 推荐工作条件

参数	最小值	典型值	最大值	单位
结温Tj			125	°C
工作温度	-40	25	85	°C
电源VCC	3.15	3.3	3.45	V

电特性

除非另有说明， $3.15V < V_{CC} < 3.45V$, $-40^{\circ}C < T_A < 85^{\circ}C$, 典型值在 $V_{CC}=3.3V, T_A=25^{\circ}C$ 。

表2 电特性

参数	条件	最小值	典型值	最大值	单位
电流消耗					
关断电流 (I_{CC_PD})			1.5		mA
工作电流 (I_{CC_CLKS})	14 HSDS 8mA时钟使能已锁定的PLL1和PLL2		480		mA
CLKin0/0*, CLKin1/1*和CLKin2/2*输入时钟					
输入时钟频率 (f_{CLKin})			12		MHz
输入时钟压摆率 ($SLEW_{CLKin}$)	20% to 80%		0.5		V/ns
差分输入时钟电压 ($V_{IDCLKin}$)	AC 耦合	0.125	1	1.55	V
差分输入时钟电压 ($V_{SSCLKin}$)		0.25	2	3.1	V _{PP}
单端输入时钟电压 (V_{CLKin})	AC 耦合 CLKinX; CLKinX AC 耦合到地		1		V _{PP}
输入高电平 ($V_{CLKin} - V_{IH}$)	DC couple CLKinX; CLKinX* AC 耦合到地		2		V
输入低电平 ($V_{CLKin} - V_{IL}$)			1		V
FBCLKin/FBCLKin* 和 Fin/Fin* 输入					
带外部反馈零延迟输入时钟频率 ($f_{FBCLKin}$)	AC 耦合 CLKinX_TYPE=0(bipolar)		12		MHz
外部VCO或者分布模式输入时钟频率 (f_{FIN})	内部高速差分接收器		2600		MHz
单端输入时钟电压 ($V_{FBCLKin/Fin}$)	AC 耦合 CLKinX_TYPE=0(bipolar)		1		V _{pp}

参数	条件	最小值	典型值	最大值	单位
CLKin压摆率 (SLEW _{FBCLKin/Fin})	AC 耦合;20% to 80% CLKinX_TYPE=0		0.5		V/ns
PLL1					
PLL1相位检测频率(f _{PD1})				40	MHz
PLL1 电荷泵源电流 (I _{CPout1} SOURCE)	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 0		50		μA
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 1		150		
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 2		250		
				
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 14		1450		
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 15		1550		
PLL1 电荷泵拉电流 (I _{CPout1} SINK)	V _{CPout1} =V _{CC} /2, PLL1_CP_GAIN = 0		-50		μA
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 1		-150		
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 2		-250		
				
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 14		-1450		
	V _{CPout1} = V _{CC} /2, PLL1_CP_GAIN = 15		-1550		
电荷泵源漏配比 (I _{CPout1} %MIS)	V _{CPout1} = V _{CC} /2, T = 25 °C		10%		
电荷泵电流的大小 变化与电压比 (I _{CPout1} V _{TUNE})	0.5 V < V _{CPout1} < V _{CC} - 0.5 V, T _A = 25 °C		5%		
电荷泵三态漏电流 (I _{CPout1} TRI)	0.5 V < V _{CPout} < V _{CC} - 0.5 V			5	nA
PLL2					
PLL2 参考输入 (f _{OSCin})			100		MHz
PLL2 参考时钟最小压摆 率 (SLEW _{OSCin})			0.5		V/ns
输入信号 OSC 电压 (V _{OSCin})	AC 耦合; 单端 (不用时 AC 耦合 to GND)		1		V _{pp}
差分电压摆幅 (V _{IDOSCin})	AC 耦合		1		V

参数	条件	最小值	典型值	最大值	单位
差分电压摆幅 ($V_{SSOSCin}$)			2		Vpp
直流失真电压 ($ V_{OSCin-offset} $)	AC 耦合下 P 端电压和 N 端电压差		5		mV
倍频器输入频率 ($f_{doubler_max}$)	EN_PLL2_REF_2X OSCin 占空比 40% = 1to (8);60%		120		MHz

晶体振荡器模式

PLL2 电荷泵源电流 ($I_{CPoutSOURCE}$)	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 0		100		μA
	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 1		400		
	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 2		1600		
	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 3		3200		
PLL2 电荷泵拉电流 ($I_{CPoutSINK}$)	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 0		-100		μA
	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 1		-400		
	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 2		-1600		
	$V_{CPout2}=V_{CC}/2,$ PLL2_CP_GAIN = 3		-3200		
电荷泵源漏失配比 ($I_{CPout2}\%MIS$)	$V_{CPout2}=V_{CC}/2, T_A = 25\text{ }^\circ C$		2%		
电荷泵电流的大小 变化与电压比 ($I_{CPout2}V_{TUNE}$)	$0.5\text{ V} < V_{CPout2} < V_{CC} - 0.5\text{ V}$ $T_A = 25\text{ }^\circ C$		5%		
电荷泵漏电 ($I_{CPout2TRI}$)	$0.5\text{ V} < V_{CPout2} < V_{CC} - 0.5\text{ V}$		1		nA

内部 VCO

VCO 频率范围 (f_{VCO})	VCO0	2370		2630	MHz/V
	VCO1	2920		3200	
VCO 转换灵敏度 (K_{VCO})	VCO0 at 2457.6 MHz		30		MHz/V
	VCO1 at 2949.12 MHz		30		
连续锁存的允许温漂 ($ \Delta T_{CL} $)				125	$^\circ C$

默认上电复位时钟输出频率

默认上电输出时钟频率 ($f_{CLKout-startup}$)	Default 4 6 8 10 channel open		315		MHz
--	-------------------------------	--	-----	--	-----

SPI 接口时序

表3 SPI接口时序

参数	条件	最小值	典型值	最大值	单位
SDI 沿到 SCLK 上升沿的设置时间 (t_{ds})	如图2	10			ns
SDI 沿到 SCLK 上升沿的保持时间 (t_{dH})	如图2	10			ns
SCLK 周期 (t_{SCLK})	如图2	50			ns
SCLK 高带宽 (t_{HIGH})	如图2	25			ns
SCLK 低带宽 (t_{LOW})	如图2	25			ns
CS*下降沿到 SCLK 上升沿的设置时间 (t_{cs})	如图2	10			ns </td
CS*下降沿到 SCLK 上升沿的保持时间 (t_{cH})	如图2	30			ns </td
SCLK 下降沿到有效读回数据 (t_{dv})	如图2			20	ns

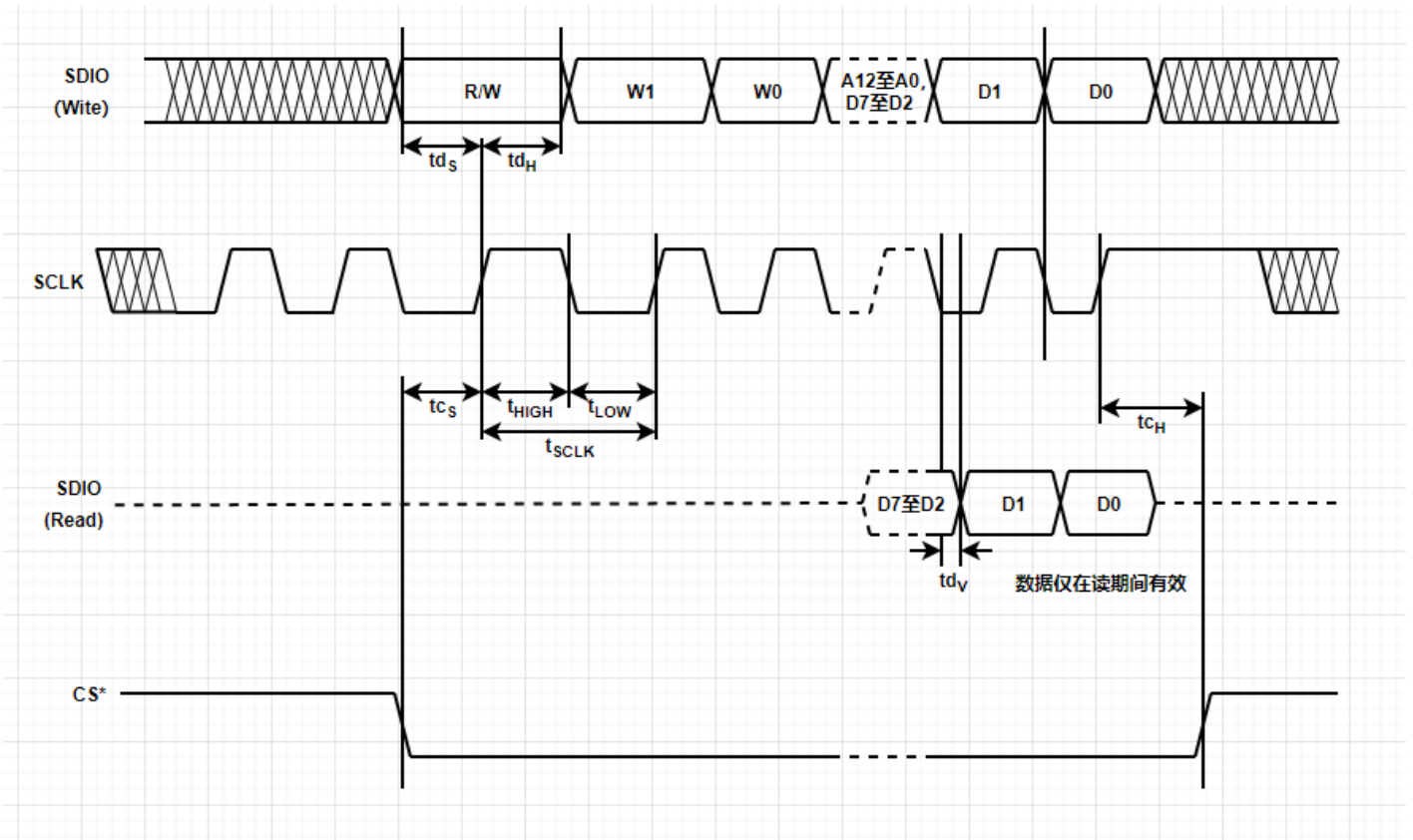
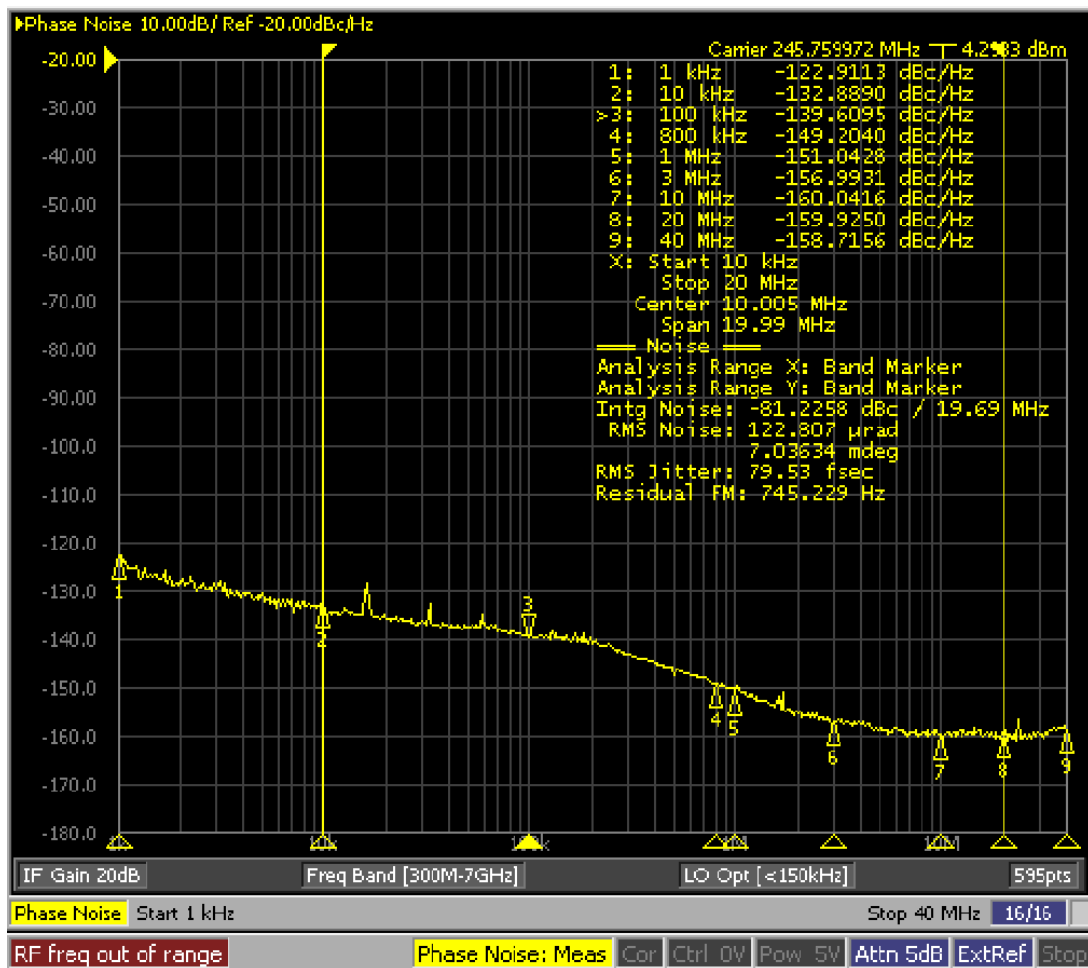


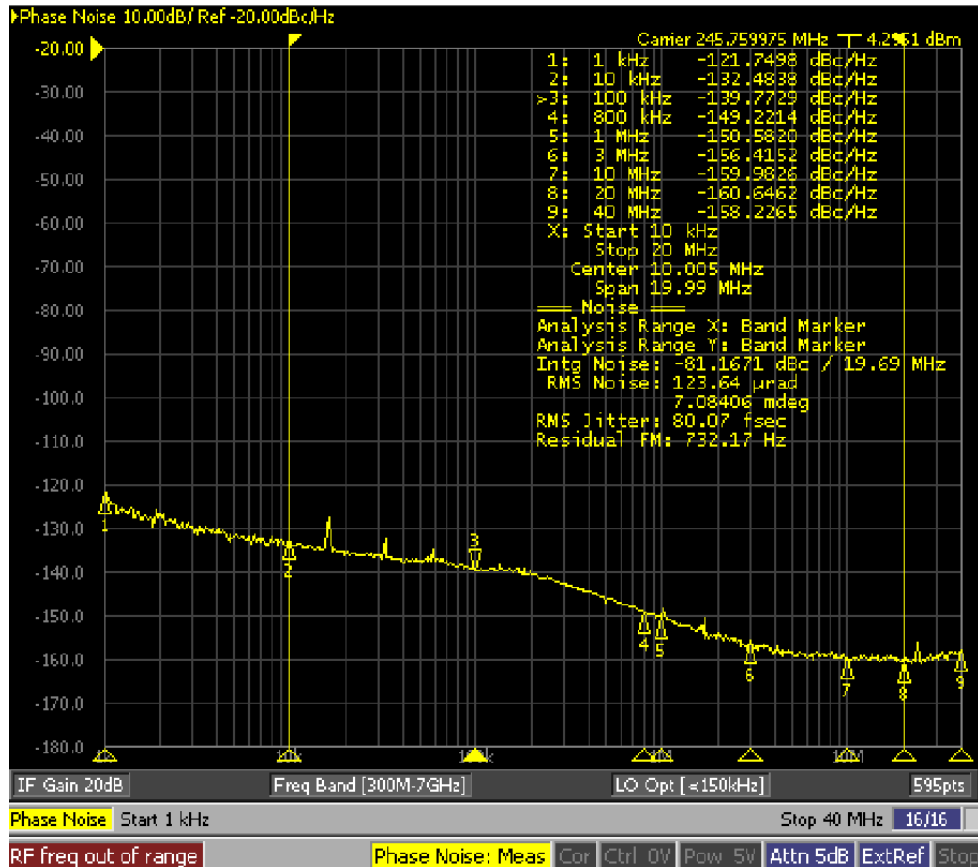
图2 SPI时序图

时钟输出交流特性



VCO_MUX = 0 (VCO0) PLL2 Loop Filter Bandwidth = 344 kHz
VCO0 = 245.6 MHz PLL2 Phase Margin = 73°
DCLKout2_DIV = 10

图 3 DCLKout12 Phase Noise



VCO_MUX = 1 (VCO1) PLL2 Loop Filter Bandwidth = 233 kHz
 VCO = 2949.12 MHz PLL2 Phase Margin = 70°
 DCLKout2_DIV = 12

图 4 DCLKout12 Phase Noise

编程

ASTS04828 设备使用 24 位寄存器进行编程。每个寄存器由 1 位命令字段（R/W）、2 位多字节字段（W1, W0）、13 位地址字段（A12 到 A0）和 8 位数据字段（D7 到 D0）组成。每个寄存器的内容首先以 MSB（R/W）为时钟，最后以 LSB（D0）为时钟。在编程过程中，CS*信号保持为低电平。串行数据在 SCK 信号的上升沿被计时。在 LSB 被计时之后，CS*信号变高以将内容锁存到移位寄存器中。建议按数字顺序对寄存器进行编程，例如 0x000 到 0x1FFF，以实现正确的设备操作。每个寄存器由一个或多个字段组成，这些字段控制设备功能。

R/W 位=0 用于 SPI 写入。R/W 位=1 用于 SPI 读取。

W1 和 W0 应该写入 0。

推荐的编程顺序

寄存器按数字顺序编程，0x000 是首位，0x1FFF 是末位。POR 推荐的编程顺序包括：

1. 用 RESET=1 对寄存器 0x000 进行编程。
2. 按从 0x000 到 0x165 的数字顺序对寄存器进行编程。确保以下寄存器编程如下： - 0x145=127 (0x7F)。
3. 对寄存器 0x166 至 0x1FFF 进行编程。

SPI 锁定

写入 SPI_LOCK 时，寄存器 0x1FFD、0x1FFE 和 0x1FFF 应始终按顺序写入。

SYSREF_CLR

当使用 SYSREF 输出时，应使用 SYSREF_CLR 位清除 SYSREF 本地数字延迟块。有关更多信息，请参阅 SYSREF_CLR。

复位引脚 RESET Pin

如果在正常操作期间未使用 RESET 引脚，建议将 RESET_TYPE 寄存器编程为输出设置，以防止噪声自发重置设备。

寄存器映射

用于设备编程的寄存器映射

表 4 提供了用于设备编程的寄存器映射。任何寄存器都可以从写入的数据地址中读取。

表 4 寄存器映射

地址 [11:0]	数据							
	7	6	5	4	3	2	1	0
0x000	RESET	0	0	SPI_3WIR E_DIS	0	0	0	0
0x002	0	0	0	0	0	0	0	POWER DOWN
0x003	ID_DEVICE_TYPE							
0x004	ID_PROD [15:8]							
0x005	ID_PROD [7:0]							
0x006	ID_MASKREV							

地址	数据							
[11:0]	7	6	5	4	3	2	1	0
0x00C	ID_VNDR [15:8]							
0x00D	ID_VNDR [7:0]							
0x100	0	0	0	DCLKout0_DIV				
0x101	DCLKout0_DDLY_CNTH			DCLKout0_DDLY_CNTL				
0x103	DCLKout0_ADLY				DCLKout0_ADLY_MUX	DCLKout0_MUX		
0x104	0	DCLKout0_HS	SDCLKout1_MUX	SDCLKout1_DDLY				SDCLKout1_HS
0x105	0	0	0	SDCLKout1_ADLY_EN	SDCLKout1_ADLY			
0x106	DCLKout0_DDLY_PD	DCLKout0_HSg_PD	DCLKout0_ADLYg_PD	DCLKout0_ADLY_PD	CLKout0_1_PD	SDCLKout1_DIS_MODE		SDCLKout1_PD
0x107	SDCLKout1_POL	CLKout1_FMT			DCLKout0_POL	CLKout0_FMT		
0x108	0	0	0	DCLKout2_DIV				
0x109	DCLKout2_DDLY_CNTH			DCLKout2_DDLY_CNTL				
0x10B	DCLKout2_ADLY				DCLKout2_ADLY_MUX	DCLKout2_MUX		
0x10C	0	DCLKout2_HS	SDCLKout3_MUX	SDCLKout3_DDLY				SDCLKout3_HS
0x10D	0	0	0	SDCLKout3_ADLY_EN	SDCLKout3_ADLY			
0x10E	DCLKout2_DDLY_PD	DCLKout2_HSg_PD	DCLKout2_ADLYg_PD	DCLKout2_ADLY_PD	CLKout2_3_PD	SDCLKout3_DIS_MODE		SDCLKout3_PD
0x10F	SDCLKout3_POL	CLKout3_FMT			DCLKout2_POL	CLKout2_FMT		
0x110	0	0	0	DCLKout4_DIV				
0x111	DCLKout4_DDLY_CNTH			DCLKout4_DDLY_CNTL				
0x113	DCLKout4_ADLY				DCLKout4_ADLY_MUX	DCLKout4_MUX		
0x114	0	DCLKout4_HS	SDCLKout5_MUX	SDCLKout5_DDLY				SDCLKout5_HS

地址	数据							
[11:0]	7	6	5	4	3	2	1	0
0x115	0	0	0	SDCLKout5_ADLY_EN	SDCLKout5_ADLY			
0x116	DCLKout4_DDLY_PD	DCLKout4_HSg_PD	DCLKout4_ADLYg_PD	DCLKout4_ADLY_PD	CLKout4_5_PD	SDCLKout5_DIS_MODE	SDCLKout5_PD	
0x117	SDCLKout5_POL	CLKout5_FMT			DCLKout4_POL	CLKout4_FMT		
0x118	0	0	0	DCLKout6_DIV				
0x119	DCLKout6_DDLY_CNTH				DCLKout6_DDLY_CNTL			
0x11B	DCLKout6_ADLY					DCLKout6_ADLY_MUX	DCLKout6_MUX	
0x11C	0	DCLKout6_HS	SDCLKout7_MUX	SDCLKout7_DDLY				SDCLKout7_HS
0x11D	0	0	0	SDCLKout7_ADLY_EN	SDCLKout7_ADLY			
0x11E	DCLKout6_DDLY_PD	DCLKout6_HSg_PD	DCLKout6_ADLYg_PD	DCLKout6_ADLY_PD	CLKout6_7_PD	SDCLKout7_DIS_MODE	SDCLKout7_PD	
0x11F	SDCLKout7_POL	CLKout7_FMT			DCLKout6_POL	CLKout6_FMT		
0x120	0	0	0	DCLKout8_DIV				
0x121	DCLKout8_DDLY_CNTH				DCLKout8_DDLY_CNTL			
0x123	DCLKout8_ADLY					DCLKout8_ADLY_MUX	DCLKout8_MUX	
0x124	0	DCLKout8_HS	SDCLKout9_MUX	SDCLKout9_DDLY				SDCLKout9_HS
0x125	0	0	0	SDCLKout9_ADLY_EN	SDCLKout9_ADLY			
0x126	DCLKout8_DDLY_PD	DCLKout8_HSg_PD	DCLKout8_ADLYg_PD	DCLKout8_ADLY_PD	CLKout8_9_PD	SDCLKout9_DIS_MODE	SDCLKout9_PD	
0x127	SDCLKout9_POL	CLKout9_FMT			DCLKout8_POL	CLKout8_FMT		
0x128	0	0	0	DCLKout10_DIV				

地址	数据							
	7	6	5	4	3	2	1	0
0x129	DCLKout10_DDLY_CNTH				DCLKout10_DDLY_CNTL			
0x12B	DCLKout10_ADLY				DCLKout10_ADLY_MUX		DCLKout10_MUX	
0x12C	0	DCLKout10_HS	SDCLKout11_MUX	SDCLKout11_DDLY				SDCLKout11_HS
0x12D	0	0	0	SDCLKout11_ADLY_EN	SDCLKout11_ADLY			
0x12E	DCLKout10_DDLY_PD	DCLKout10_HS_g_PD	DLCLKout10_ADLYg_PD	DCLKout10_ADLY_PD	CLKout10_11_PD	SDCLKout11_DIS_MODE		SDCLKout11_PD
0x12F	SDCLKout11_POL	CLKout11_FMT			DCLKout10_POL	CLKout10_FMT		
0x130	0	0	0	DCLKout12_DIV				
0x131	DCLKout12_DDLY_CNTH				DCLKout12_DDLY_CNTL			
0x133	DCLKout12_ADLY				DCLKout12_ADLY_MUX		DCLKout12_MUX	
0x134	0	DCLKout12_HS	SDCLKout13_MUX	SDCLKout13_DDLY				SDCLKout13_HS
0x135	0	0	0	SDCLKout13_ADLY_EN	SDCLKout13_ADLY			
0x136	DCLKout12_DDLY_PD	DCLKout12_HS_g_PD	DCLKout12_ADLYg_PD	DCLKout12_ADLY_PD	CLKout12_13_PD	SDCLKout13_DIS_MODE		SDCLKout13_PD
0x137	SDCLKout13_POL	CLKout13_FMT			DCLKout12_POL	CLKout12_FMT		
0x138	0	VCO_MUX		OSCOut_MUX	OSCOut_FMT			
0x139	0	0	0	0	0	SYSREF_CLKin0_MUX	SYSREF_MUX	
0x13A	0	0	0	SYSREF_DIV [12:8]				
0x13B	SYSREF_DIV [7:0]							
0x13C	0	0	0	SYSREF_DDLY [12:8]				
0x13D	SYSREF_DDLY [7:0]							

地址	数据							
[11:0]	7	6	5	4	3	2	1	0
0x13E	0	0	0	0	0	0	SYSREF_PULSE_CNT	
0x13F	0	0	0	PLL2_NCLK_MUX	PLL1_NCLK_MUX	FB_MUX		FB_MUX_EN
0x140	PLL1_PD	VCO_LDO_PD	VCO_PD	OSCin_PD	SYSREF_GBL_PD	SYSREF_PD	SYSREF_DDLY_PD	SYSREF_PLSR_PD
0x141	DDLYd_SYSREF_EN	DDLYd12_EN	DDLYd10_EN	DDLYd7_EN	DDLYd6_EN	DDLYd4_EN	DDLYd2_EN	DDLYd0_EN
0x142	0	0	0	DDLYd_STEP_CNT				
0x143	SYSREF_DDLY_CLR	SYNC_1SHOT_EN	SYNC_PO_L	SYNC_EN	SYNC_PLL2_DLD	SYNC_PLL1_DLD	SYNC_MODE	
0x144	SYNC_DIS_SYSREF	SYNC_DIS12	SYNC_DIS10	SYNC_DIS8	SYNC_DIS6	SYNC_DIS4	SYNC_DIS2	SYNC_DIS0
0x145	0	1	1	1	1	1	1	1
0x146	0	0	CLKin2_EN	CLKin1_EN	CLKin0_EN	CLKin2_TYPE	CLKin1_TYPE	CLKin0_TYPE
0x147	CLKin_SEL_POL	CLKin_SEL_MODE			CLKin1_OUT_MUX		CLKin0_OUT_MUX	
0x148	0	0	CLKin_SEL0_MUX			CLKin_SEL0_TYPE		
0x149	0	SDIO_RDBK_TYPE	CLKin_SEL1_MUX			CLKin_SEL1_TYPE		
0x14A	0	0	RESET_MUX			RESET_TYPE		
0x14B	LOS_TIMEOUT		LOS_EN	TRACK_EN	HOLDOVER_FORCE	MAN_DAC_EN	MAN_DAC [9:8]	
0x14C	MAN_DAC [7:0]							
0x14D	0	0	DAC_TRIP_LOW					
0x14E	DAC_CLK_MULT		DAC_TRIP_HIGH					
0x14F	DAC_CLK_CNTR							

地址	数据							
[11:0]	7	6	5	4	3	2	1	0
0x150	0	CLKin _OVER _RIDE	0	HOLDOVE R_PLL1_D _ET	HOLDOV ER_LOS _DET	HOLDOVER _VTUNE_DET	HOLDOV ER _HITLESS _SWITCH	HOLDOV ER_EN
0x151	0	0	HOLDOVER_DLD_CNT [13:8]					
0x152	HOLDOVER_DLD_CNT [7:0]							
0x153	0	0	CLKin0_R [13:8]					
0x154	CLKin0_R [7:0]							
0x155	0	0	CLKin1_R [13:8]					
0x156	CLKin1_R [7:0]							
0x157	0	0	CLKin2_R [13:8]					
0x158	CLKin2_R [7:0]							
0x159	0	0	PLL1_N [13:8]					
0x15A	PLL1_N [7:0]							
0x15B	PLL1_WND_SIZE		PLL1 _CP_TRI	PLL1 _CP_POL	PLL1_CP_GAIN			
0x15C	0	0	PLL1_DLD_CNT [13:8]					
0x15D	PLL1_DLD_CNT [7:0]							
0x15E	0	0	PLL1_R_DLY			PLL1_N_DLY		
0x15F	PLL1_LD_MUX					PLL1_LD_TYPE		
0x160	0	0	0	0	PLL2_R[11:8]			
0x161	PLL2_R [7:0]							
0x162	PLL2_P			OSCin_FREQ			PLL2_XT AL_EN	PLL2_RE F_2X_EN
0x163	0	0	0	0	0	0	PLL2_N_CAL[17:16]	
0x164	PLL2_N_CAL [15:8]							
0x165	PLL2_N_CAL [7:0]							
0x166	0	0	0	0	0	PLL2_FCAL_D IS	PLL2_N[17:16]	
0x167	PLL2_N [15:8]							
0x168	PLL2_N [7:0] ⁽²⁾							
0x169	0	PLL2_WND_SIZE		PLL2_CP_GAIN		PLL2 _CP_POL ⁽¹⁾	PLL 2_CP_TRI	1

地址	数据								
[11:0]	7	6	5	4	3	2	1	0	
0x16A	0	SYSRE F_REQ_ EN	PLL2_DLD_CNT [15:8]						
0x16B	PLL2_DLD_CNT [7:0]								
0x16C	0	0	PLL2_LF_R4			PLL2_LF_R3			
0x16D	PLL2_LF_C4				PLL2_LF_C3				
0x16E	PLL2_LD_MUX				PLL2_LD_TYPE				
0x171	1	0	1	0	1	0	1	0	
0x172	0	0	0	0	0	0	1	0	
0x173	0	PLL2_P RE_PD	PLL2_PD	0	0	0	0	0	
0x174	0	0	0	VCO1_DIV					
0x17C	OPT_REG_1								
0x17D	OPT_REG_2								
0x183	0	0	0	0	0	RB_PLL1_LD_ LOST	0	0	
0x184	0	0	0	0	0	RB_PLL2_LD_ LOST	0	0	
0x185	RB_DAC_VALUE [9:8]		RB_CLKin 2_SEL	RB_CLKin 1_SEL	RB_CLKi n0_SEL	X	RB_CLKi n1_LOS	RB_CLKi n0_LOS	
0x186	RB_DAC_VALUE [7:0]								
0x1FF D	SPI_LOCK [23:16]								
0x1FF E	SPI_LOCK [15:8]								
0x1FF F	SPI_LOCK [7:0]								

注释: (1). PLL2_CP_POL =0 表示 Positive-slope VCO/VCXO, PLL2_CP_POL =1 表示 Negative-slope VCO/VCXO,
(2) .该寄存器禁用频率校准并设置 PLL2 N 分频器值。如果 PLL2_FCAL_DIS = 0,编程寄存器 0x168 启动
VCO 校准。

管脚(焊盘)配置及功能说明

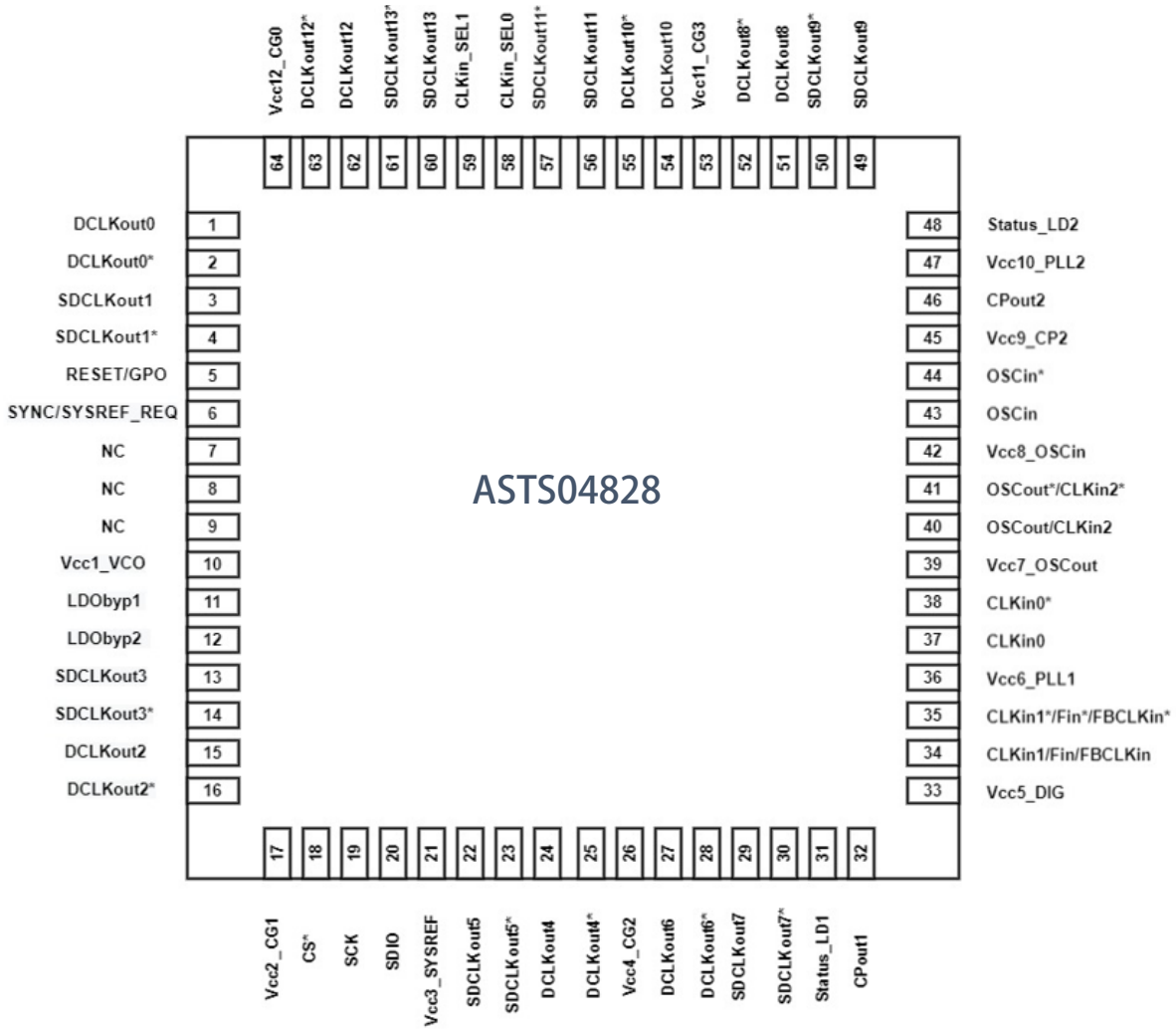


图5 QFN_64 管脚（焊盘）配置

表 5 管脚定义

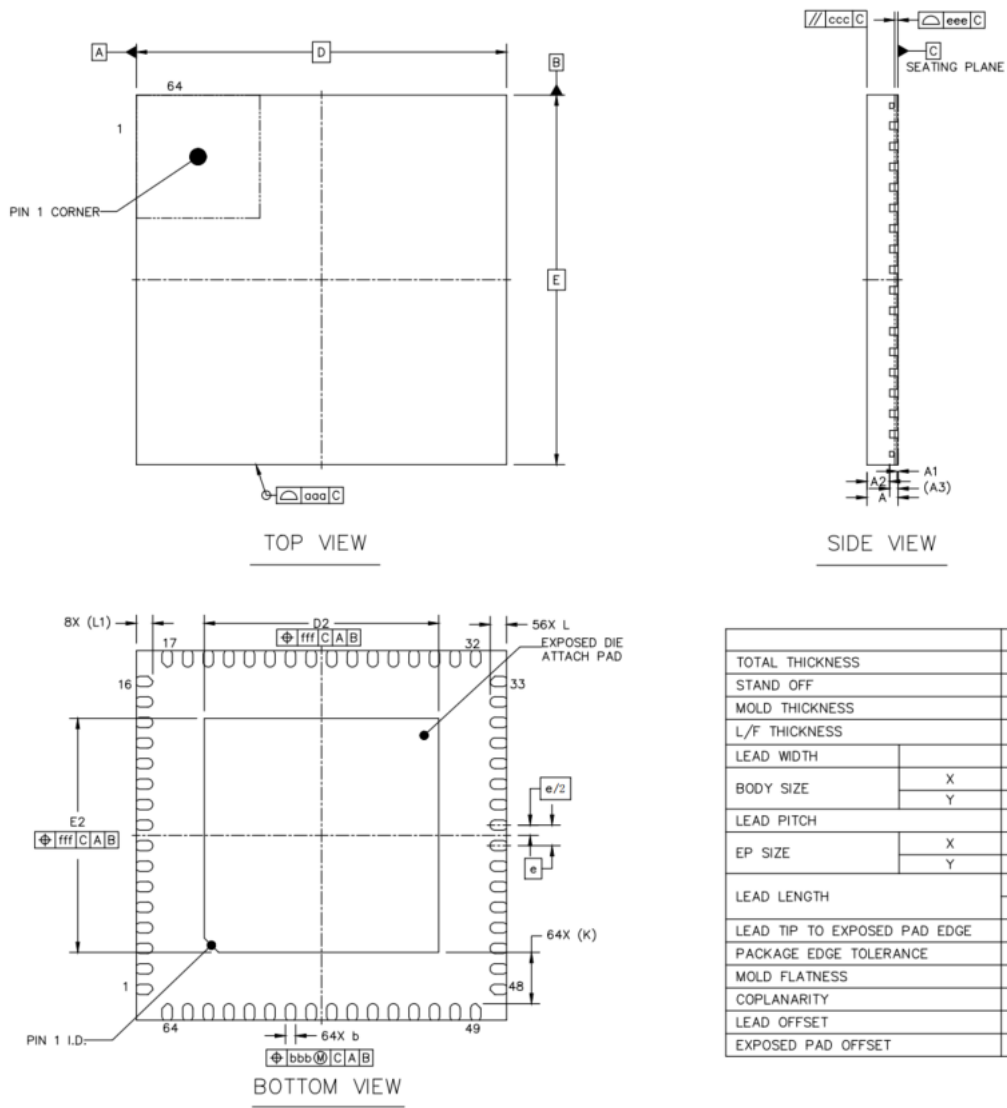
引脚序号	引脚名称	引脚类型	引脚功能
1	DCLKout0	O	差分时钟输出0，如不用，浮空，buffer设置拉低
2	DCLKout0*		
3	SDCLKout1	O	差分时钟输出1，如不用，浮空，buffer设置拉低
4	SDCLKout1*		
5	RESET/GPO	I/O	复位输入或者GPO。作为复位输入时，寄存器设置拉高或者拉低，阻值正常为160kΩ。作为GPO时，设置为推挽式或者开漏
6	SYNC/SYSREF_REQ	I	同步信号输入。可用于复位分频器，触发SYSREF脉冲器或者从SYSREF分频器请求连续的SYSREF。管脚被寄存器控制，正常情况为160kΩ拉低。
7,	-	NC	无连接，浮空。
8	-	NC	
9	-	NC	

引脚序号	引脚名称	引脚类型	引脚功能
10	Vcc1_VCO	P	VCO LDO电源，根据系统频率加合适的去耦电容。
11	LDObyp1	BP	LDO bypass.管脚附近放置 10 μ F 电容
12	LDObyp2	BP	LDO bypass.管脚附近放置 0.1 μ F 电容
13	SDCLKout3	O	差分时钟输出3. 如不用，管脚浮空，buffer设置拉低
14	SDCLKout3*		
15	DCLKout2	O	差分时钟输出2. 如不用，管脚浮空，buffer设置拉低
16	DCLKout2*		
17	Vcc2_CG1	P	时钟输出2&3电源，根据系统频率加合适的去耦电容。
18	CS*	I	SPI 片选管脚，低为输入。如不用，必须外部拉高或者驱动高
19	SCK	I	SPI 时钟，输入高有效。正常160k Ω 拉低
20	SDIO	I/O	SPI数据。管脚可设置为推挽或者开漏。设为开漏时需要外部拉高。寄存器可以关闭该功能脚。对于传统4线SPI，其他的GPIO可配置成SPI MISO（主机输入从机输出）
21	Vcc3_SYSREF	P	SYSREF 和SYNC电源
22	SDCLKout5	O	差分时钟输出5. 如不用，管脚浮空，buffer设置拉低
23	SDCLKout5*		
24	DCLKout4	O	差分时钟输出4. 如不用，管脚浮空，buffer设置拉低
25	DCLKout4*		
26	Vcc4_CG2		时钟输出 4/5/6/7电源.
27	DCLKout6	O	差分时钟输出6. 如不用，管脚浮空，buffer设置拉低
28	DCLKout6*		
29	SDCLKout7	O	差分时钟输出7. 如不用，管脚浮空，buffer设置拉低
30	SDCLKout7*		
31	Status_LD1	I/O	状态脚，默认高为PLL1锁定检测。可配置为开漏或者推挽输出。
32	CPout1	O	电荷泵1输出。连接外部的PLL1的环路滤波器也可作为VCXO电压控制脚
33	Vcc5_DIG	P	数字电路电源，例如SPI总线,GPIO.
34	CLKin1	I	默认PLL1的参考时钟输入1。可配置成DC或者AC耦合。单端或者差分均可。作为单端，通过0.1 μ F电容可配置成DC或者AC耦合连接到地。不用时浮空。
	FBCLKin	I	外部时钟反馈输入，可配置成DC或者AC耦合。单端或者差分均可。作为单端，通过0.1 μ F电容可配置成DC或者AC耦合连接到地。不用时浮空。
	Fin	I	时钟输入。可配置成DC或者AC耦合。单端或者差分均可。作为单端，通过0.1 μ F电容可配置成DC或者AC耦合连接到地。不用时浮空。
35	CLKin1*	I	默认PLL1的参考时钟输入1。可配置成DC或者AC耦合。单端或者差分均可。作为单端，通过0.1 μ F电容可配置成DC或者AC耦合连接到地。不用时浮空。
	FBCLKin*	I	外部时钟反馈输入，可配置成DC或者AC耦合。单端或者差分均可。作为单端，通过0.1 μ F电容可配置成DC或者AC耦合连接到地。不用时浮空。

引脚序号	引脚名称	引脚类型	引脚功能
	Fin*	I	时钟输入。可配置成DC或者AC耦合。单端或者差分均可。作为单端，通过0.1μF电容可配置成DC或者AC耦合连接到地。不用时浮空。
36	Vcc6_PLL1	P	PLL1电荷泵1电源
37	CLKin0	I	PLL1参考时钟输入0.可配置成同步输入。
38	CLKin0*		
39	Vcc7_OSCout	P	OSCout和CLKin2电源
40	OSCout	I/O	OSCin输出，默认LVPECL，仅支持240Ω电阻，不用时配置低且浮空
	CLKin2		PLL1参考时钟输出2.可配置成DC或AC耦合。可接受单端或差分时钟。如作为差分，外接0.1uF电容到地。如不用，浮空。寄存器必须配置成输入。
41	OSCout*	I/O	默认OSCin缓存输出.默认给LCPECL,仅支持240Ω电阻。如不用，管脚浮空，缓存拉低。
	CLKin2*		PLL1参数时钟输入2.可配置成DC或AC耦合。可接受单端或差分时钟。如作为差分，外接0.1uF电容到地。如不用，浮空。寄存器必须配置成输入。
42	Vcc8_OSCin	P	OSCin电源。去耦电容根据系统频率合理选择。
43	OSCin	I	PLL2参考输入。管脚AC耦合，支持单端或差分时钟。如作为差分，外接0.1uF电容到地。如不用，浮空。
44	OSCin*		
45	Vcc9_CP2	P	PLL2电荷泵电源。
46	CPout2	O	电荷泵2输出。连接PLL2外部环路滤波组件。如用外部VCO,该管脚连接VCO控制脚，且避免噪声信号。
47	Vcc10_PLL2	P	PLL2电源
48	Status_LD2	I/O	状态脚。默认为PLL2的状态，高有效。
49	SDCLKout9	O	系统或者设备差分时钟9输出
50	SDCLKout9*		
51	DCLKout8	O	设备差分时钟输出8
52	DCLKout8*		
53	Vcc11_CG3	P	时钟输出8,9,10和11的电源
54	DCLKout10	O	设备差分时钟输出10
55	DCLKout10*		
56	SDCLKout11	O	系统或者设备差分时钟11输出
57	SDCLKout11*		
58	CLKin_SEL0	I/O	状态脚。默认配置输入高有效且160kΩ拉低，去选择哪个CLKin作为PLL1参考。作为输入时，寄存器配置成160kΩ拉高或拉低。作为输出时，可设置为推挽或者开漏。
59	CLKin_SEL1	I/O	状态脚。默认配置输入高有效且160kΩ拉低，去选择哪个CLKin作为PLL1参考。作为输入时，寄存器配置成160kΩ拉高或拉低。作为输出时，可设置为推挽或者开漏。
60	SDCLKout13		系统或者设备差分时钟13输出

引脚序号	引脚名称	引脚类型	引脚功能
61	SDCLKout13*	O	
62	DCLKout12	O	系统或者设备差分时钟12输出
63	DCLKout12*		
64	Vcc12 CG0	P	时钟0, 1, 12和13的电源
	E-PAD	G	芯片散热地焊盘, 电源参考地。

外形尺寸



	SYMBOL	MIN	NOM	MAX	
TOTAL THICKNESS	A	0.7	0.75	0.8	
STAND OFF	A1	0	0.02	0.05	
MOLD THICKNESS	A2	---	0.55	---	
L/F THICKNESS	A3	0.203 REF			
LEAD WIDTH	b	0.2	0.25	0.3	
BODY SIZE	X	9 BSC			
	Y	9 BSC			
LEAD PITCH	e	0.5 BSC			
EP SIZE	X	D2	5.6	5.7	5.8
	Y	E2	5.6	5.7	5.8
LEAD LENGTH	L	0.3	0.4	0.5	
	L1	0.4 REF			
LEAD TIP TO EXPOSED PAD EDGE	K	1.25 REF			
PACKAGE EDGE TOLERANCE	aaa	0.1			
MOLD FLATNESS	ccc	0.1			
COPLANARITY	eee	0.08			
LEAD OFFSET	bbb	0.1			
EXPOSED PAD OFFSET	fff	0.1			

NOTES

1. REFER TO JEDEC MO-220;
2. COPLANARITY APPLIES TO LEADS, CORNER LEADS AND DIE ATTACH PAD;
3. BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES;
4. FINISH: Cu/EP • Sn8~20s

图 6 QFN-64封装尺寸

订购信息

表 6 订购信息

产品型号	温度范围	封装类型
ASTS04828	-40~85°C	QFN-64