



深圳市雅创芯瀚电子科技有限公司
SHENZHEN ASTRONG-TECH CO., LTD

AST25C128S EEPROM 存储器电路

数据手册

服务电话：13538015750 13691641629

目录

1	产品简述	1
1.1	概述	1
1.2	特性	1
1.3	引脚描述和引脚配置	1
2	功能描述	3
2.1	功能框图	3
3	设备通讯	4
3.1	SPI 模式	4
3.2	SPI 总线连接	4
3.3	主动和待机模式	5
3.4	设备上电初始化	5
3.5	保持状态	6
3.6	数据保护	7
4	指令	8
4.1	读取状态寄存器 (RDSR)	8
4.2	写入启用 (WREN)	9
4.3	写禁用 (WRDI)	9
4.4	写入状态寄存器 (WRSR)	10
4.4.1	块写入保护	11
4.4.2	状态寄存器写保护	11
4.5	从内存阵列读取 (READ)	12
4.6	写入内存阵列 (Write)	12
4.6.1	字节写	13
4.6.2	页面写入	13
4.6.3	轮询例程	14
4.7	读取标识页 (RDID)	14
4.8	写入标识页 (WRID)	15
4.9	读取锁定状态 (RDLS)	15
4.10	锁识别页 (LID)	16
4.11	读取唯一 ID (RDUID)	17
5	电气规范	18
5.1	绝对最大额定值	18
5.2	推荐工作条件	18
5.3	直流特性	18
5.4	交流特性	19
5.5	引脚电容	20
5.6	可靠性特征	21
6	通电状态	22
6.1	通电状态	22
7	初始交付状态	23
7.1	交付状态	23
8	说明事项	24

8.1	运输与储存	24
8.2	开箱与检查	24
8.3	使用操作规程及注意事项	24
9	封装信息	25
9.1	SOP 封装信息	26
10	订货信息	28
10.1	选型列表	28

1 产品简述

1.1 概述

AST25C128S 是通过SPI 总线访问的串行EEPROM 设备。该设备设计为在1.7V~5.5V 的电源电压范围内工作，最大传输速率为 20MHz。

该串行 EEPROM 存储器一共 256 页，每页 64 字节，总计 16384*8 位。该设备为用户提供了一个额外的 64 字节标识页，用于存储敏感的应用程序参数。将应用程序数据写入标识页后，此页可以在只读模式下永久锁定。该设备还提供一个单独的内存块，其中包含工厂编程的 128 位唯一 ID。该块处于只读模式，可以通过发送特定的读取命令来访问。

AST25C128S SOP封装形式。

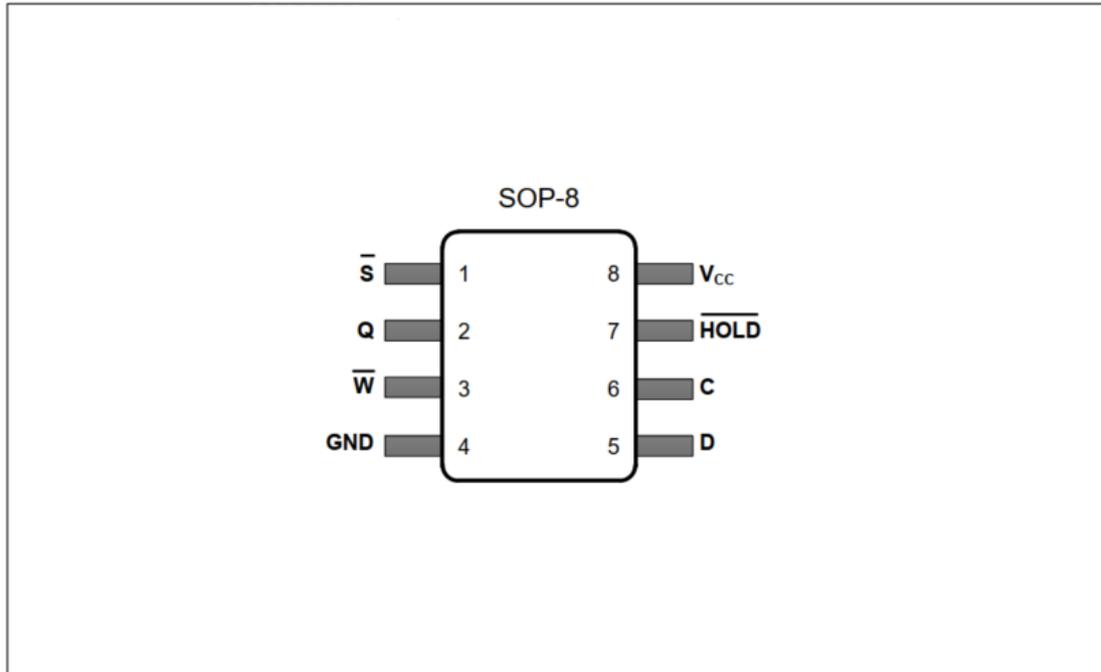
AST25C128S 系列芯片兼容 Atmel(Microchip)公司的 AT25128 系列对应封装的芯片。

1.2 特性

- 串行外围接口 (SPI) 兼容
 - 支持 SPI 模式 0 (0, 0) 和 3 (1, 1)
- 电源电压范围: 1.7V 至 5.5V
- 高速时钟: 20 MHz
- 字节和页 (最多 64 字节) 写入模式
- 自动定时写入周期 (最大 3ms)
- 额外的 64 字节可写锁定页和 128 位唯一 ID
- 高可靠性
 - 耐久性: 6000000 个写入周期
 - 数据保留: 300 年
 - ESD 保护 (人体模型): 6000V
- 工作温度范围: -55°C~+125°C
- 绿色包装选项 (符合 RoHS, 无铅/无卤素) SOP8、TSSOP8、UDFN8

1.3 引脚描述和引脚配置

引脚排布和说明见图 1-1。



符号	类型	名字和描述
C	输入	串行时钟：此输入信号为供串行接口的时钟信号。
D	输入	串行数据输入
Q	输出	串行数据输出
\bar{S}	输入	片选信号：低电平有效。
\bar{W}	输入	写保护：低电平有效，用来保护状存储数据不被意外改写。该引脚必须高或低驱动，并且在所有写入指令期间必须稳定
\overline{HOLD}	输入	保持：低电平有效，此输入信号用于暂停与设备的任何串行通信，而无需取消选择设备。在保持状态下，串行数据输出（Q）为高阻抗，串行数据输入（D）和串行时钟（C）无关紧要。芯片在被片选后保持功能才有效。
GND	地	地：电源的接地参考。GND 引脚应该连接到整个系统的地。
V_{CC}	电源	供电电源：1.7V~5.5V

图 1-1 引脚排列和说明

2 功能描述

2.1 功能框图

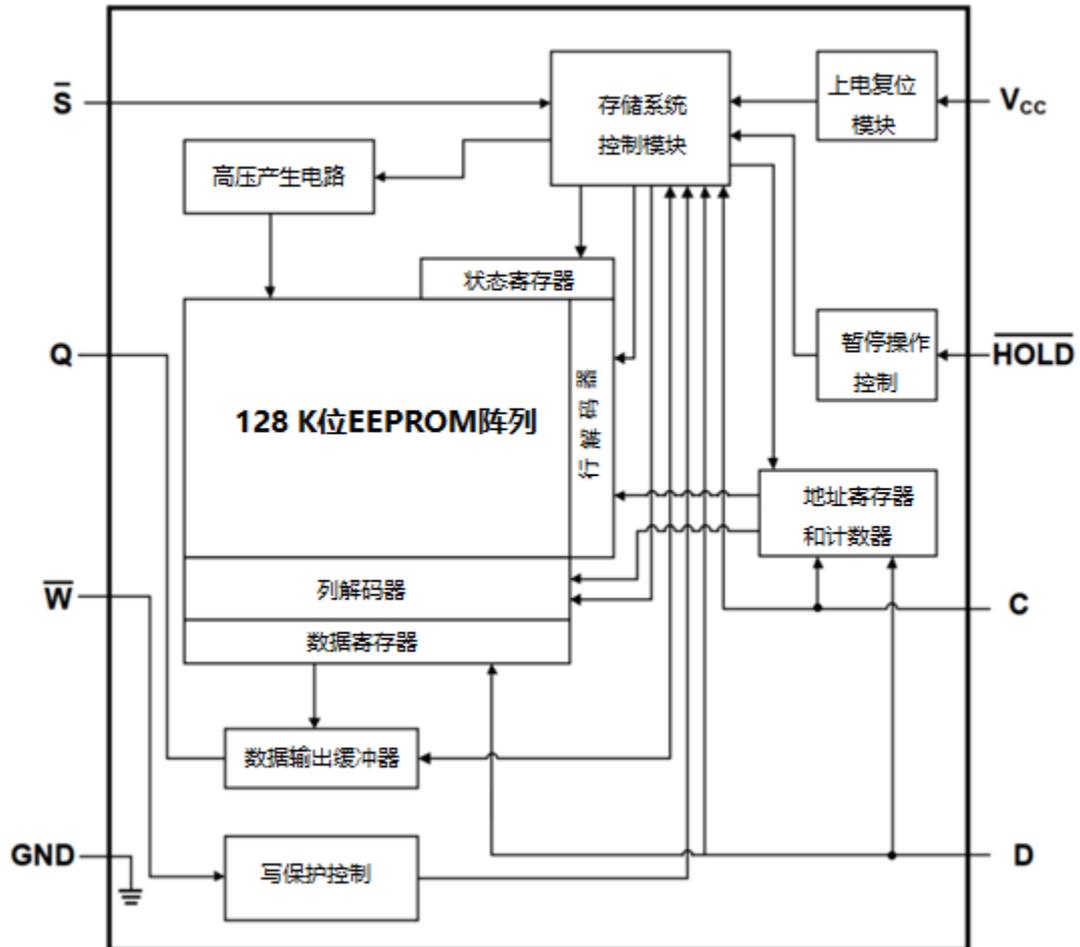


图 2-1 功能框图

3 设备通讯

3.1 SPI 模式

AST25C128S 由微控制器（通常称为 SPI 主机）发送的一组指令控制。SPI 主机通过 SPI 总线与设备通信，该总线由四条信号线组成：芯片选择（S）、串行时钟（C）、串行数据输入（D）和串行数据输出（Q）。

SPI 协议共定义了四种操作模式（模式 0、1、2 或 3），每种模式在串行时钟（C）极性（CPOL）和相位（CPHA）以及极性和相位如何控制 SPI 总线上的数据流方面有所不同。AST25C128S 支持两种最常见的模式：SPI 模式 0 (CPOL=0, CPHA=0) 和模式 3 (CPOL=1, CPHA=1)。对于 SPI 模式 0 和 3，输入数据锁存在串行时钟（C）的上升沿，输出数据可从串行时钟 AST25C128S（C）的下降沿获得。

这两种模式之间的区别在于总线主机处于待机模式且不传输数据时的时钟极性（见图 3-1）

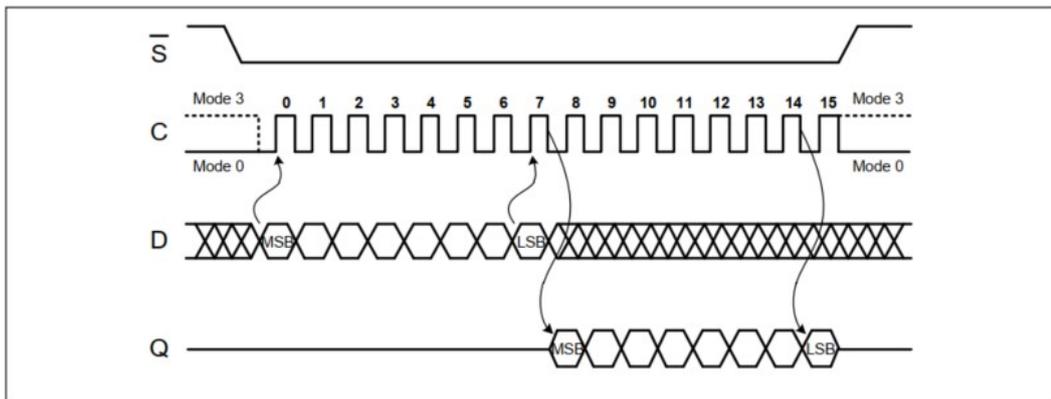


图 3-1 SPI 模式 0 和模式 3

3.2 SPI 总线连接

停止信号出现在 SCL 引脚维持逻辑 1 状态时 SDA 引脚上信号由低转变为高（见图 3-1）。停止信号将终止从机与主机之间的通信。写入指令结束时的停止信号将触发 EEPROM 内部写入周期。否则，从机在收到停止信号后返回待机模式。

所有指令、地址和输入数据字节都会先以最高有效位移入设备。芯片选择被驱动为低电平后，串行数据输入（D）在串行时钟（C）的第一个上升沿上采样。

所有输出数据字节首先以最高有效位移出设备。在指令已被计时到设备中后，串行数据输出（Q）锁存在串行时钟（C）的第一个下降沿上。图 3-2 显示了连接到 SPI 总线主机的四个内存设备的示例。一次只选择一个存储设备，因此一次只有一个存储设备驱动串行数据输出（Q）线。其他存储设备的输出为高阻抗。

上拉电阻器 R 可确保在总线主设备使芯片选择线处于高阻抗状态时，不会选择设备。

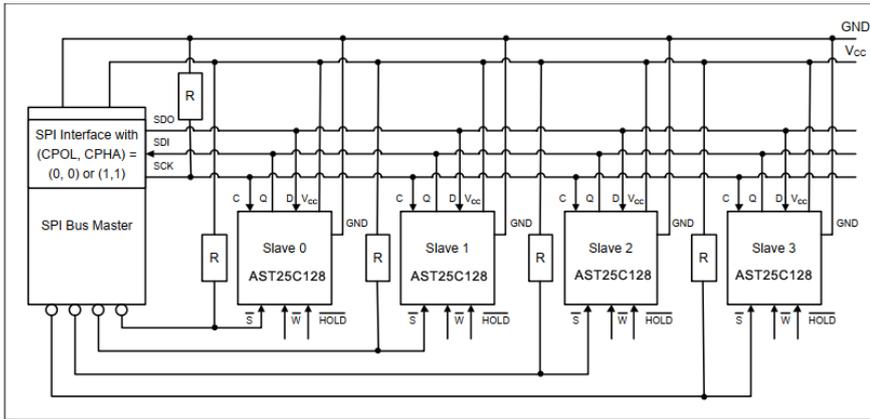


图 3-2 SPI 总线上的总线主设备和内存设备

3.3 主动和待机模式

片选信号为低时，AST25C128S 被选择，并处于激活模式。根据直流特性（见第 5.2 节），设备消耗 ICC。芯片选择高时，AST25C128S 被取消选择。如果当前未进行内部写入循环，则设备将进入低功耗待机模式。

3.4 设备上电初始化

AST25C128S 系列内置了上电复位电路，以防止上电期间的意外操作。冷启动上电时，电源电压达到内部上电复位阈值电压（VPOR），器件才会响应指令。在 VPOR 和最小 VCC 之间，电源电压必须连续上升而没有回落，以确保正常上电。电源电压通过 VPOR 后，器件将复位并进入待机模式。但是，在 tINIT 参数指定的时间内施加有效且稳定的电源电压之前，不应向器件发布任何协议。电源电压必须保持稳定和有效，直到协议传输结束。对于一条写入指令，直到内部写入周期结束（见图 3-3）。

这种双向的复位行为还可以保护 AST25C128S 系列免受暂时断电引起的掉电故障。以类似的方式，一旦电源电压降至内部掉电复位阈值电压（VBOR）以下，器件被重置并停止响应任何指令（见图 3-3）。设置 VBOR 的值低于 VPOR 的值。表 3-1 列出了与通电和断电条件相关的参数。

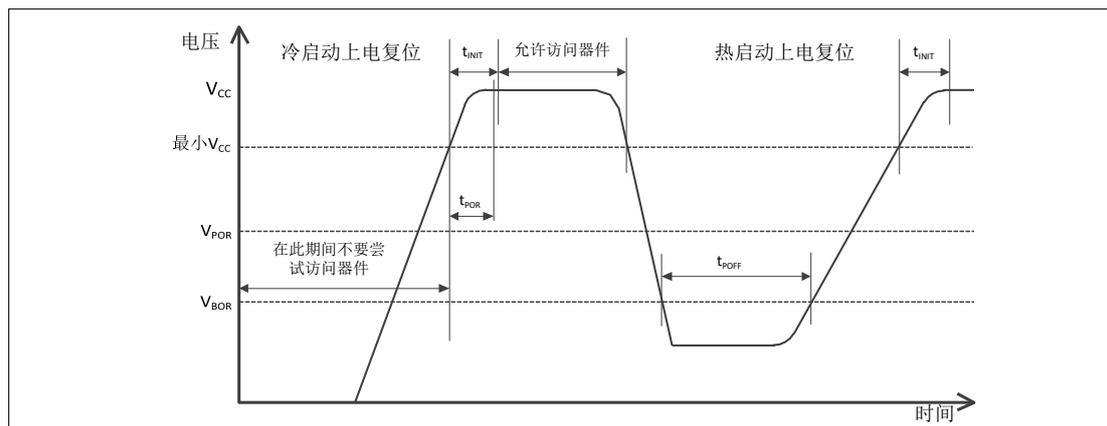


图 3-3 上电和下电时序图

表 3-1 上电和下电条件参数

符号	参数	最小	最大	单位
t_{POR}	上电复位时间	-	10.0	ms
V_{POR}	上电复位电压	-	1.5	V
V_{BOR}	掉电复位电压	1.2	-	V
t_{INIT}	上电至首次指令时间	10.0	-	ms
t_{POFF}	热启动等待时间	1.0	-	ms

3.5 保持状态

保持 (Hold) 信号用于暂停与设备的任何串行通信，而无需重置时钟序列。但是，保持条件对内部写入周期没有影响。因此，如果正在进行写入循环，将保持 (Hold) 信号驱动到低位不会暂停操作，写入循环将继续完成。

要进入保持条件，必须在芯片选择低的情况下选择设备。当串行时钟 (C) 已经低时，保持 (Hold) 信号被驱动为低时，保持条件开始。如果在串行时钟 (C) 高脉冲期间保持 (Hold) 信号被驱动为低电平，则在下一个串行时钟 (C) 低脉冲开始之前，保持条件不会开始。

在保持状态下，串行数据输出 (Q) 为高阻抗，串行数据输入 (D) 和串行时钟 (C) 无关紧要。

为了结束保持状态，当串行时钟 (C) 低时，保持 (Hold) 信号被驱动为高电平。如果在串行时钟 (C) 高脉冲期间保持 (Hold) 信号被驱动为高电平，则保持状态将不会结束，直到下一个串行时钟 (C) 低脉冲开始 (见图 3-4)。

通常，设备在保持条件的整个持续时间内保持选中状态。当设备处于保持状态时，取消选择该设备会重置设备的状态。

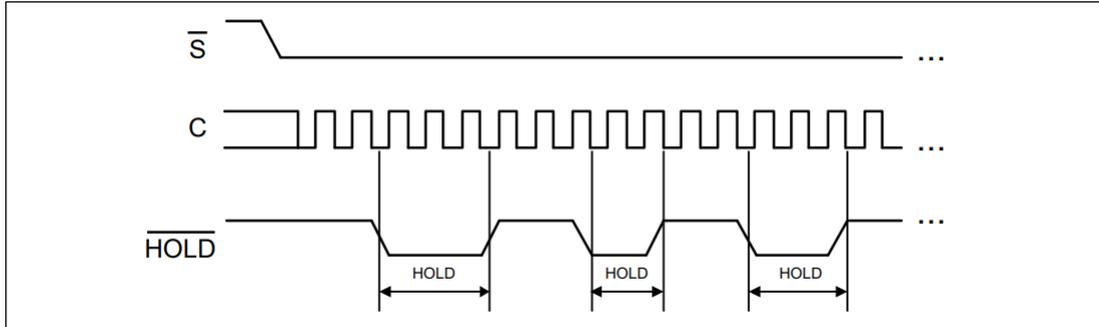


图 3-4 保持条件激活

3.6 数据保护

AST25C128S 具有以下数据保护机制：

所有修改数据的指令之前必须有一条写启用（WREN）指令，以设置写启用门锁（WEL）位（有关详细信息，请参阅第 4.2 节）。

状态寄存器中的块保护（BP1、BP0）位用于将部分内存配置为只读（详见第 4.4.1 节）。

根据状态寄存器中的状态寄存器写保护（SRWR）位，写保护（ \overline{W} ）信号用于写保护状态寄存器（详见第 4.4.2 节）。

4 指令

每个指令首先传输最高有效位（MSB）的字节组成，由指令字节启动，如表 4-1 所示，并从高到低的芯片选择转换开始。

如果发送了无效指令（表 4-1 中未包含的指令），设备将自动进入等待状态，直到取消选择。

表 4-1 AST25C128S 的指令集

指令名称	操作说明	指令格式
WREN	写入启用	0000 0110
WRDI	写禁用	0000 0100
RDSR	读取状态寄存器	0000 0101
WRSR	写入状态寄存器	0000 0001
READ	从128 Kbit内存阵列读取	0000 0011
WRITE	写入128 Kbit内存阵列	0000 0010
RDID	读取标识页	1000 0011
WRID	写入标识页	1000 0010
RDLS	读取标识页锁定状态	1000 0011
LID	以只读模式锁定标识页	1000 0010
RDUID	读取唯一ID	1000 0001

4.1 读取状态寄存器（RDSR）

AST25C128S 包括一个 8 位状态寄存器。状态寄存器位调制设备的各种特性，如表 4-2 所示。

表 4-2 状态寄存器位定义和功能

Bit	名称	功能	描述	
7	SRWD	状态寄存器写保护	0	写保护（W）引脚未启用（初始交付状态）
			1	写保护（W）引脚已启用（有关详细信息，请参阅第4.4.2节）
6:4	RFU	保留供将来使用	0	始终读取为“000”
3	BP1	块保护	00	无内存阵列写保护（初始交付状态）
			01	四分之一内存阵列写保护（详见第4.4.1节）
2	BP0		10	半内存阵列写保护（详见第4.4.1节）
			11	全内存阵列写保护（详见第4.4.1节）
1	WEL	写使能锁	0	设备未启用写功能（通电状态）
			1	设备已启用写入
0	WIP	正在写入	0	没有写入周期，设备已准备好接受新指令
			1	设备正忙于内部写入周期

读取状态寄存器（RDSR）指令用于读取状态寄存器。此指令定义为先驱动低电平的芯片选择信号；然后，指令字节（05h）的位在串行数据输入（D）上移入。设备将在串行数据输出（Q）上返回 8 位状态寄存器值。如果芯片选择继续被驱动为低电平，状态寄存器值

将连续移出（见图 4-1）。

RDSR 指令通过驱动芯片选择高电平终止。芯片选择的上升沿可在循环过程中的任何时间出现。

状态寄存器可以随时读取，即使在内部写入周期正在进行时也是如此。当写入周期正在进行时，建议在向设备发送新指令之前检查正在写入（WIP）位。

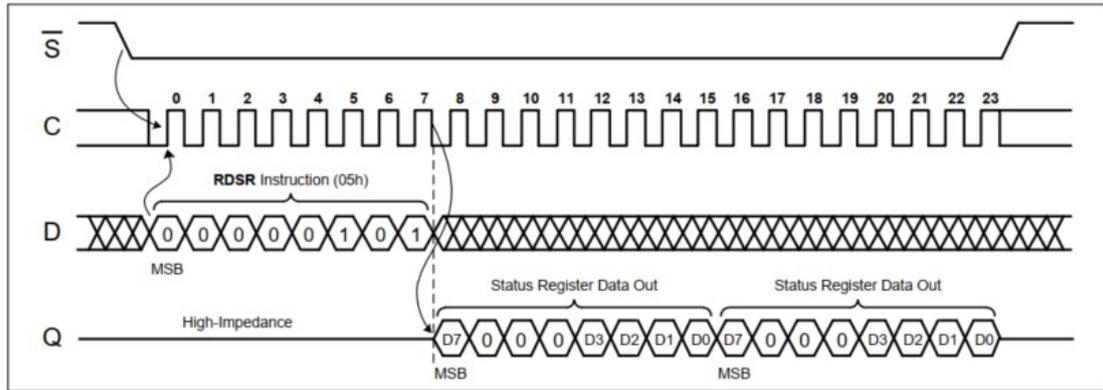


图 4-1 读取状态寄存器

4.2 写入启用 (WREN)

写入启用锁 (WEL) 位必须在每条写入和 WRSR 指令之前设置。唯一的方法是向设备发送写启用 (WREN) 指令。

为了向设备发送 WREN 指令，芯片选择首先被驱动为低电平，指令字节 (06h) 的位在串行数据输入 (D) 上被移入（见图 4-2）。然后，设备进入等待状态。它等待设备被取消选择，芯片选择被驱动高。

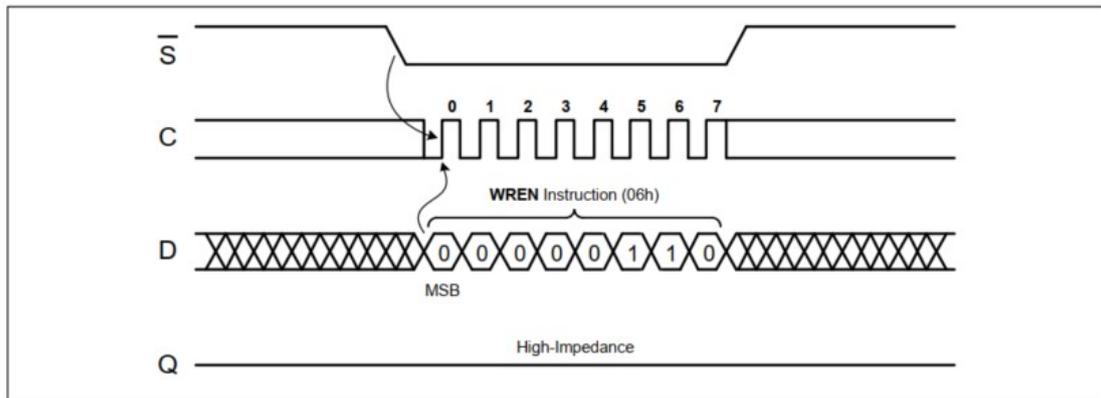


图 4-2 写启用

4.3 写禁用 (WRDI)

重置 WEL 位的一种方法是向设备发送写禁用 (WRDI) 指令。为了向设备发送 WRDI 指令，芯片选择首先被驱动为低电平，指令字节 (04h) 的位在串行数据输入 (D) 上被移入（见图 4-3）。然后，设备进入等待状态。它等待设备被取消选择，芯片选择被驱动高。

WEL 位由以下任何事件重置：

通电、WRDI 指令执行、WRSR 或 WRITE（包括 WRID 和 LID）指令完成。

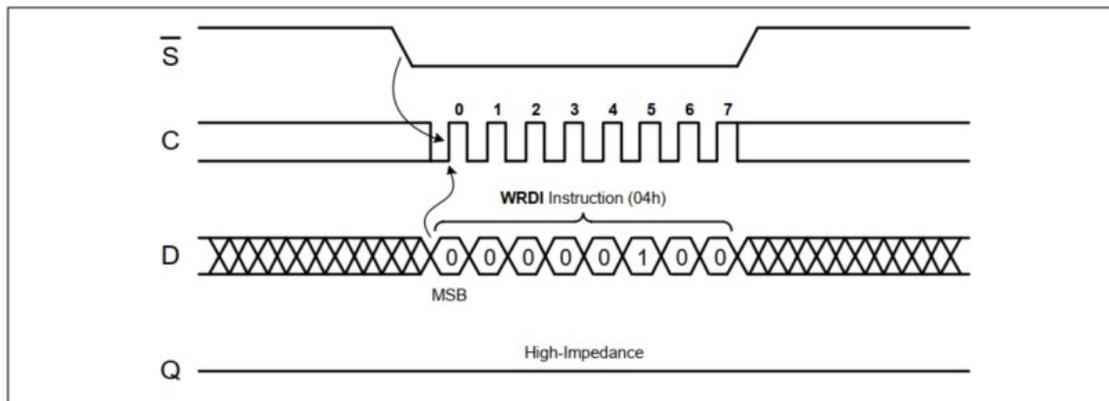


图 4-3 写禁用

4.4 写入状态寄存器 (WRSR)

写入状态寄存器 (WRSR) 指令使 SPI 主机能够更改状态寄存器的选定位。在启动 WRSR 指令之前，必须执行 WREN 指令以将 WEL 位设置为逻辑“1”。WRSR 指令是通过驱动芯片选择 (S) 低，然后是指令字节 (01h) 和串行数据输入 (D) 上的数据字节，然后驱动芯片选择 (S) 高来实现的。芯片选择必须在锁存在数据字节第八位的串行时钟 (C) 上升沿之后和串行时钟 (C) 下一个上升沿之前驱动为高电平（见图 4-4）。否则，将不执行 WRSR 指令。

在输入数据的字节边界处驱动芯片选择信号高会触发自动定时写入周期，该周期需要 t_{WC} 规范规定的固定时间才能完成。当写入周期正在进行时，仍可以读取状态寄存器以检查 WIP 位的值：在自定时写入周期期间，WIP 位为逻辑“1”，在写入周期完成时为逻辑“0”。WEL 位也在写入周期结束时重置。

WRSR 指令对状态寄存器中的位 6、位 5、位 4、位 1 和位 0 没有影响，但仅允许用户更改 SRWD、BP1 和 BP0 位的值。这三个位是非易失性位，具有与常规 EEPROM 单元相同的特性和功能。

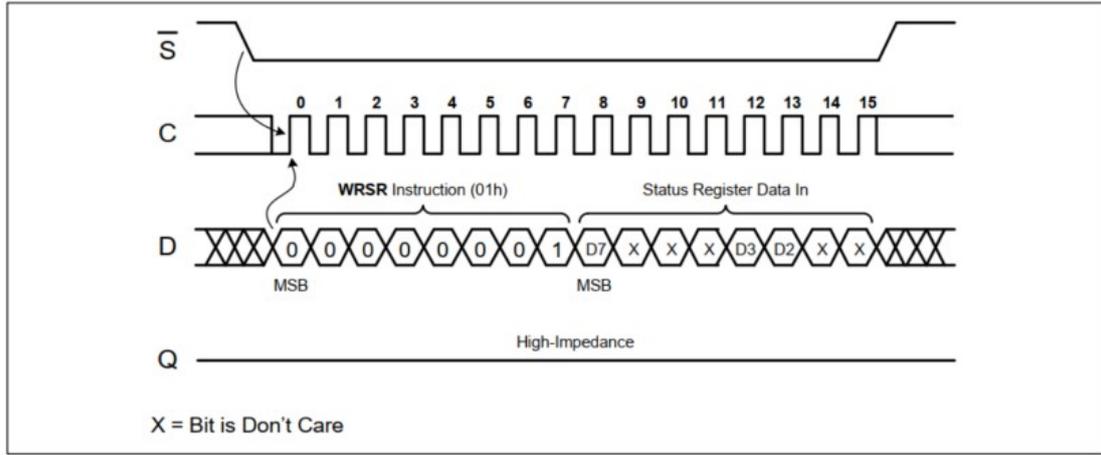


图 4-4 写入状态寄存器

4.4.1 块写入保护

WRSR 指令允许用户通过更改块保护位 (BP1、BP0)，有选择地按块写保护内存阵列。写保护块大小和相应的状态寄存器控制位如表 4-3 所示。

表 4-3 写保护块大小

状态寄存器位		受保护的块	受保护的地址范围
BP1	BP0		AST25C128S
0	0	没有	没有一个
0	1	上四分之一	3000h至3FFFh
1	0	上半部分	1000h至3FFFh
1	1	整个内存	0000h至3FFFh

4.4.2 状态寄存器写保护

WRSR 指令允许用户通过根据写保护 (\overline{W}) 引脚的状态更改状态寄存器写保护 (SRWD) 位来设置或重置状态寄存器本身的写保护模式。

当 SRWD 位为逻辑“0”时，无论写保护 (\overline{W}) 引脚的状态如何，都可以写入状态寄存器（前提是 WEL 位之前已由 WREN 指令设置）。当 SRWD 位设置为逻辑“1”时，两种情况取决于写保护 (\overline{W}) 引脚的状态：

如果写保护 (\overline{W}) 被驱动为高电平，则可以写入状态寄存器（前提是 WEL 位之前已由 WREN 指令设置）。

如果写保护 (\overline{W}) 被驱动为低电平，则即使 WEL 位之前已由 WREN 指令设置，也无法写入状态寄存器。因此，由状态寄存器中的块保护 (BP1, BP0) 位进行写保护的内存区域中的所有数据字节也受到硬件保护，以防数据修改。

无论这两种情况的顺序如何，都可以通过以下方式进入硬件保护模式：在将写保护 (\overline{W}) 引脚置于低位后设置 SRWD 位，或在设置 SRWD 位后将写保护 (\overline{W}) 引脚置于低位。进入硬件保护模式后，退出该模式的唯一方法是将写保护 (\overline{W}) 引脚拉高。如果写保护 (\overline{W})

引脚一直处于高位，则永远无法激活硬件保护模式。

表 4-4 总结了设备的保护功能。

表 4-4 SRWD 保护模式

SRWDbits	W引脚	WELbit	状态寄存器	受保护的块	未受保护的块
0	X	0	受保护的	受保护的	受保护的
0	X	1	可写的	受保护的	可写的
1	低	0	受保护的	受保护的	受保护的
1	低	1	受保护的	受保护的	可写的
X	高	0	受保护的	受保护的	受保护的

注：X=不关心状态。

4.5 从内存阵列读取 (READ)

读取 AST25C128S 内存阵列是通过从内存阵列读取 (Read) 指令实现的。为了发送读取指令，芯片选择信号首先被驱动为低电平；然后，指令字节 (03h) 和两个地址字节的位在串行数据输入 (D) 上移入。对于 128 Kbit 内存阵列，地址位 A13:A0 是有效地址位，A15:A14 是不关心位。地址加载到内部地址计数器中，地址处的数据字节在串行数据输出 (Q) 时移出。如果芯片选择继续处于低位，地址计数器将自动递增，新地址的数据字节将移出 (见图 4-5)。当达到最高地址时，地址计数器将滚动到最低地址，允许继续读取循环。因此，可以使用单个读取指令读取整个内存。

通过驱动芯片选择高电平来终止读取周期。芯片选择的上升沿可在循环过程中的任何时间出现。

如果当前正在进行写入循环，则不接受读取指令，也不执行读取指令。

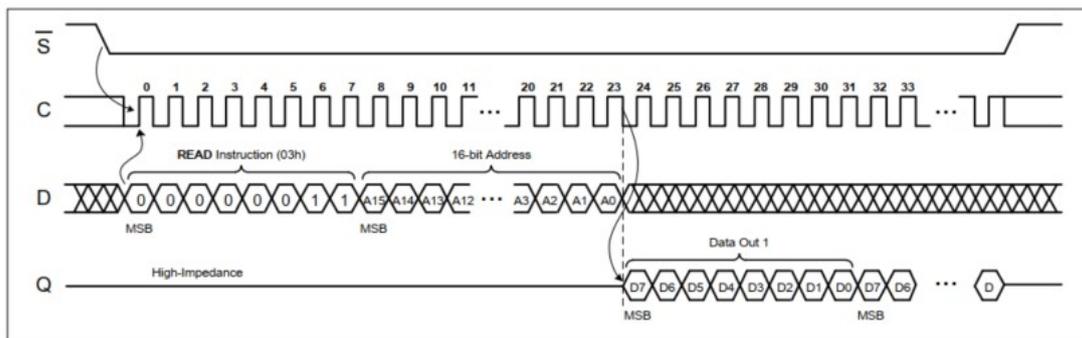


图 4-5 从内存阵列读取

4.6 写入内存阵列 (Write)

为了对 AST25C128S 128 Kbit 内存阵列进行编程，必须执行两条单独的指令。首先，必须执行 WREN 指令以将设备设置为写启用。然后，可以执行下面描述的两个可能的写入序列中的一个。如果设备未启用写入功能，则设备将忽略写入指令，并在芯片选择被驱动为

高电平时返回待机模式。

4.6.1 字节写

字节写入指令是通过以下方式发出的：首先驱动芯片选择（S）处于低位，在串行数据输入（D）上发送写入指令（82h）、地址字节和数据字节，然后驱动芯片选择（S）处于高位。对于 128 Kbit 内存阵列，地址位 A13:A0 是有效地址位，A15:A14 是不关心位。芯片选择必须在锁存在数据字节第八位的串行时钟（C）上升沿之后、串行时钟（C）下一上升沿之前驱动为高电平（见图 4-6）。

如果寻址页不在块保护（BP1, BP0）位保护的区域内，则在输入数据的字节边界处将芯片选择置高会触发自动定时写入周期，该周期将按照 t_{WC} 规范持续固定时间。写入周期结束时，AST25C128S 将自动返回到写禁用状态（WEL=0）。

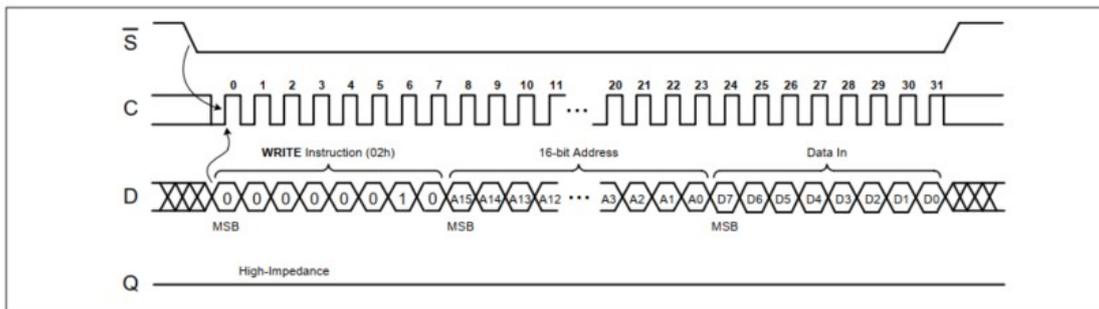


图 4-6 字节写入

4.6.2 页面写入

如果所有字节都位于内存阵列的同一页中，则页面写入序列允许在同一写入周期中写入多达 64 个字节。允许小于 64 字节的部分页写入。这是通过接收到每个数据字节后，芯片选择继续被驱动到低位，并且输入数据的下一个字节被移入（见图 4-7）来实现的。

每次新数据字节移入时，内部地址计数器的六个最低有效位都会递增。较高的地址位不会递增，并保留页面位置。当内部地址到达页面边界时，会出现一种称为“翻滚”的情况，并且以下数据字节位于同一页面的开头。在翻滚的情况下，如果向设备发送超过页面大小的 64 个字节以上，则会覆盖以前的数据。

如果寻址页不在块保护（BP1, BP0）位保护的区域内，则在输入数据的字节边界处将芯片选择置高会触发自动定时写入周期，该周期将按照 t_{WC} 规范持续固定时间。写入周期结束时，AST25C128S 将自动返回到写禁用状态（WEL=0）。

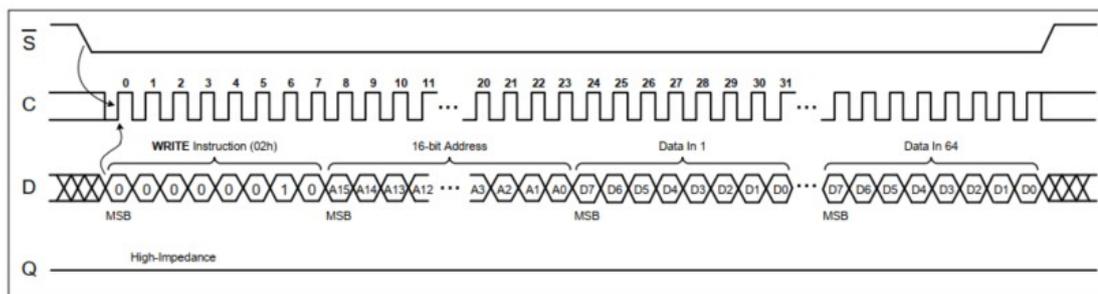


图 4-7 页面写入

4.6.3 轮询例程

可以实现轮询例程来优化对时间敏感的应用程序，这些应用程序不希望等待固定的最大写入周期时间 (t_{WC})。此方法允许应用程序立即知道写入周期何时完成，以开始后续操作。一旦内部写入周期开始，就可以启动轮询例程。这涉及到重复发送 RDSR 指令，以确定设备是否已完成其自动定时写入周期。如果 WIP 位（状态寄存器的位 0）=1，则写入周期仍在进行中；如果 WIP 位=0，则写入周期已结束。如果 WIP 位=1，则可以重复执行 RDSR 命令，直到 WIP 位=0，这表明设备已准备好执行新指令（见图 4-8）。

在写入周期中，仅启用 RDSR 指令。

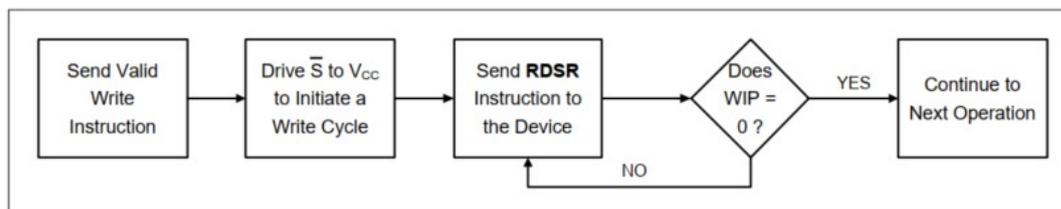


图 4-8 轮询流程图

4.7 读取标识页 (RDID)

AST25C128S 除了 128 Kbit 内存阵列外，还提供 64 字节的标识页 (ID 页)，用于存储特定的应用程序数据。此标识页可以在只读模式下写入和（稍后）永久锁定。

通过读取标识页 (RDID) 指令读取标识页。芯片选择信号首先被驱动为低电平；然后，指令字节 (83h) 和地址字节的位在串行数据输入 (D) 上移入。地址位 A10 必须为“0”。其他高位地址位不重要，低位地址位 A5:A0 定义标识页内的字节位置。该地址的数据字节在串行数据输出 (Q) 时移出。如果芯片选择继续处于低位，内部地址计数器将自动递增，新地址的数据字节将移出（见图 4-9）。当到达 ID 页的末尾时，地址计数器将滚动到 ID 页的开头，允许继续读取循环。

通过驱动芯片选择高电平来终止读取周期。芯片选择的上升沿可在循环过程中的任何时间出现。

如果当前正在进行写入循环，则不接受 RDID 指令，也不执行 RDID 指令。

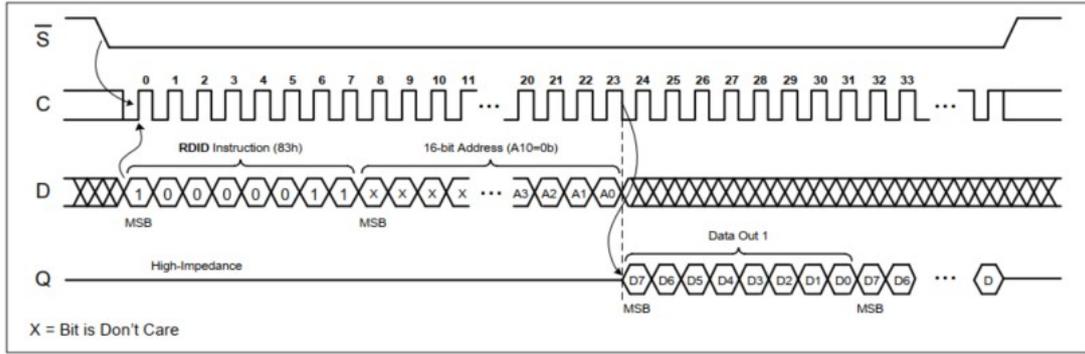


图 4-9 读取标识页

4.8 写入标识页 (WRID)

写入标识页是通过写入标识页 (WRID) 指令实现的。在接受此指令之前，必须先执行 WREN 指令。

WRID 指令定义为先驱动低电平的芯片选择信号。然后，指令字节 (82h)、地址字节和至少一个数据字节的位在串行数据输入 (D) 上移入。地址位 A10 必须为 0。高位地址位不重要，低位地址位 A5:A0 地址位定义标识页内的字节地址。通过在输入数据的字节边界处驱动芯片选择高电平来终止指令 (见图 4-10)。如果标识页未在只读模式下锁定，则芯片选择上升沿触自动定时写入周期，该周期持续 tWC。

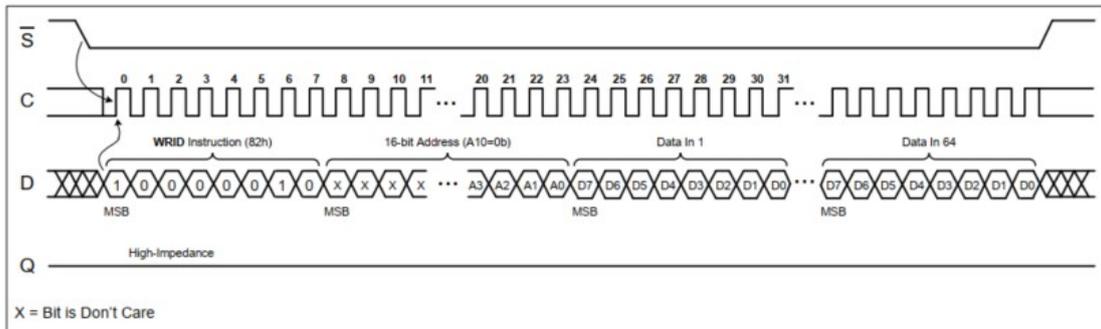


图 4-10 写入标识页

4.9 读取锁定状态 (RDLS)

读取锁定状态 (RDLS) 指令用于检查标识页是否在只读模式下锁定。RDLS 指令定义为先驱动低电平的芯片选择。然后，指令字节 (83h) 和地址字节的位在串行数据输入 (D) 上移入。地址位 A10 必须为“1”，所有其他地址位都不重要。锁定状态位是串行数据输出 (Q) 上读取的字节的 LSB (最低有效位)。当锁处于活动状态时为逻辑“1”，当锁处于非活动状态时为逻辑“0”。所有其他位始终读取为“0” (见图 4-11)。如果芯片选择继续处于低位，则相同的数据字节将移出。

通过驱动芯片选择高电平来终止读取周期。芯片选择的上升沿可在循环过程中的任何时间出现。

如果当前正在进行写入循环，则不接受并不执行 RDLS 指令。

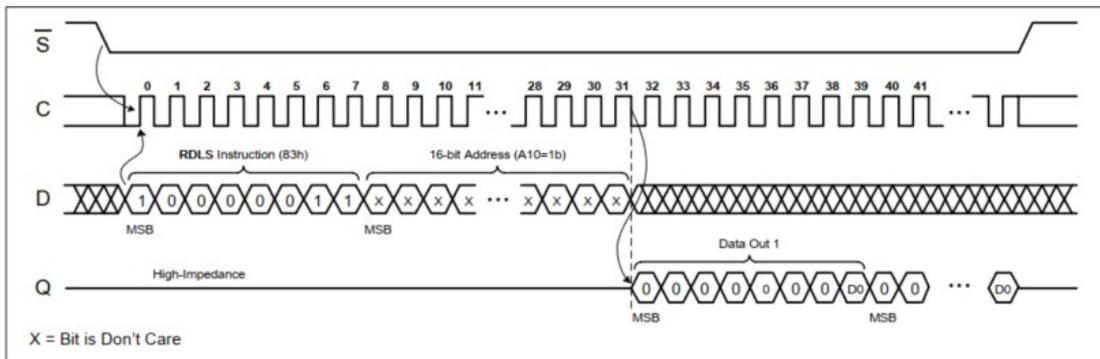


图 4-11 读取锁定状态

4.10 锁识别页 (LID)

Lock ID (LID) 指令以只读模式永久锁定标识页。在接受此指令之前，必须先执行 WREN 指令。

LID 指令是通过先将芯片选择驱动到低位，然后在串行数据输入端 (D) 上发送指令字节 (82h)、地址字节和数据字节，然后将芯片选择驱动到高位来发出的。地址位 A10 必须为“1”，所有其他地址位都不重要。发送的数据字节必须等于二进制值 $xxxx\backslash u\ xx1x$ (其中 x = 位不重要)。

芯片选择必须在锁存在第八位的串行时钟 (C) 上升沿之后被驱动为高电平

在串行时钟 (C) 的下一个上升沿之前。否则，不会执行 LID 指令 (见图 4-12)。在输入数据的字节边界处将芯片选择置高会触发自动定时写入周期，该周期持续 t_{WC} 。

在以下情况下，不会执行 LID 指令：

如果 WEL 位未设置为“1”；

如果写入周期已经在进行中；

如果设备尚未取消选择，则通过在字节边界处驱动高位芯片选择；

如果块保护位 (BP1, BP0) = (1, 1)。

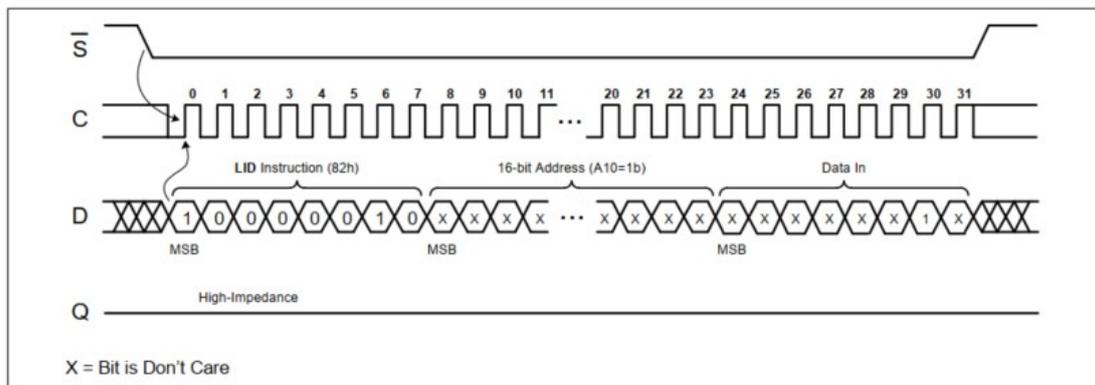


图 4-12 锁识别页

4.11 读取唯一 ID (RDUID)

AST25C128S提供一个单独的内存块，其中包含工厂编程的128位唯一ID (UID) 或序列号。读取此块是通过读取唯一ID (RDUID) 指令实现的。芯片选择信号首先被驱动为低电平；然后，指令字节 (81h) 和地址字节的位在串行数据输入 (D) 上移入。高位地址位不重要，低位地址位A3:A0定义唯一ID块内的字节位置。然后，该地址的数据字节在串行数据输出 (Q) 上移出。如果芯片选择继续处于低位，内部地址计数器将自动递增，新地址的数据字节将移出 (见图4-13)。为了保证唯一编号，必须从序列号块的起始地址读取整个128位值，地址位A3:A0为“0000”。从块的第一个地址以外的位置读取不会产生唯一的序列号。不允许写入或更改128位唯一ID。当到达128位UID块的末尾时，地址计数器将滚动到此块的开头，允许继续读取循环。通过驱动芯片选择高电平来终止读取周期。芯片选择的上升沿可在循环过程中的任何时间出现。如果当前正在进行写入循环，则不接受RDUID指令，也不执行RDUID指令。

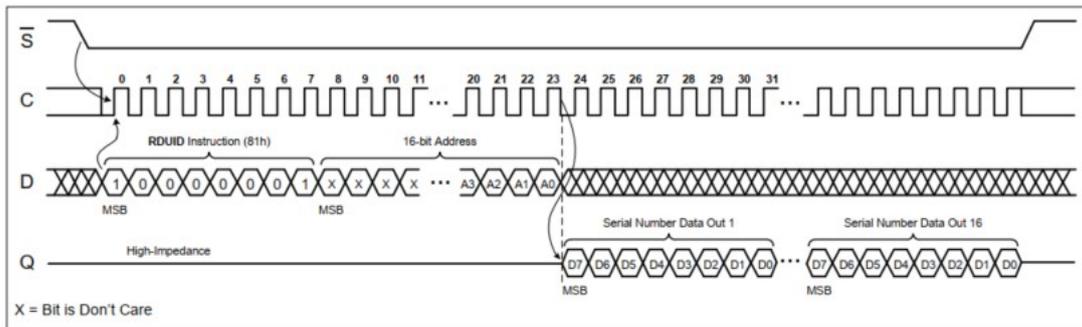


图 4-13 读取唯一 ID

5 电气规范

5.1 绝对最大额定值

绝对最大额定值如下：

电源电压 (V_{CC})	-0.5V~+6.0V
输出电压, 输出电压 (V_{OUT})	-0.5V~ $V_{CC}+0.5V$
输入电压, 输入电压 (V_{IN})	-0.5V~+6.0V
直流输出电流 (I_{OUT})	5 mA
静电放电电压 (人体模式) (V_{ESD})	6000V
存储温度 (T_{STG})	-65°C~150°C
结温(T_J)	-65°C~150°C

注：超过“绝对最大额定值”所列的应力可能会对设备造成永久性损坏。不暗示设备在这些额定值或本规范操作章节规定以外的任何其他条件下的功能操作。长期暴露在绝对最大额定值条件下可能会影响设备的可靠性。

5.2 推荐工作条件

推荐工作条件如下：

电源电压 (V_{CC})	1.7V~5.5V
工作温度 (T_A)	-55°C~125°C
结温(T_J)	-55°C~125°C

5.3 直流特性

工作条件： $T_A=-55^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ， $V_{CC}=1.7\text{V}\sim 5.5\text{V}$ （除非另有说明）。

表 5-1 直流特性

符号	参数	测试条件	最小值	最大值	单位
V_{CC}	电源电压		1.7	5.5	V
I_{CC1}	电源电流（读取）	在5MHz时, $V_{CC}=1.7V$, Q=开路	-	1.0	mA
		10MHz时 $V_{CC}=2.5V$, Q=开路	-	5.0	mA
		20MHz时 $V_{CC}=5.5V$, Q=开路	-	10	mA
I_{CC2}	电源电流（写入）	During T_{wc} , $\bar{S}=V_{CC}, V_{CC}=1.7V$	-	1.0	mA
		During T_{wc} , $\bar{S}=V_{CC}, V_{CC}=5.5V$	-	2.0	mA
I_{SB}	备用电流	$\bar{S}=V_{CC}, V_{CC}=1.7V$	-	20	μA
		$S=V_{CC}, V_{CC}=5.5V$	-	20	μA
I_{LI}	输入泄漏电流	$V_{IN}=V_{CC}$ 或GND	-	3.0	μA
I_{LO}	输出泄漏电流	$\bar{S}=V_{CC}, V_{CC}=5.5V$	-	3.0	μA

符号	参数	测试条件	最小值	最大值	单位
V _{IL}	输入低电压	1.7V≤V _{CC} <2.5V	-0.45	0.25×V _{CC}	V
		2.5V≤V _{CC} <5.5V	-0.45	0.3×V _{CC}	V
V _{IH}	输入高压	1.7V≤V _{CC} <2.5V	0.75×V _{CC}	V _{CC} +1	V
		2.5V≤V _{CC} <5.5V	0.7×V _{CC}	V _{CC} +1	V
V _{OL}	输出低电压	V _{CC} =1.7V, I _{OL} =0.15mA	-	0.2	V
		V _{CC} =2.5V, I _{OL} =1.5mA或V _{CC} =5V, I _{OL} =2mA	-	0.4	V
V _{OH}	输出高电压	V _{CC} =1.7V, I _{OH} =-0.1mA	V _{CC} -0.2	-	V
		V _{CC} =2.5V, I _{OH} =-0.4mA或V _{CC} =5V, I _{OH} =-2mA	V _{CC} -0.8	-	V

5.4 交流特性

工作条件：T_A=-55°C~+125°C, V_{CC}=1.7V~5.5V, C_L=50pF（除非另有说明）。测量条件：输入上升和下降时间≤50ns；输入脉冲电压：0.2×V_{CC}至0.8×V_{CC}；输入和输出定时参考电压：0.3×V_{CC}至0.7×V_{CC}

表 5-2 交流特性

符号	参数	V _{CC} =1.7V ~ 5.5V		V _{CC} =2.5V ~ 5.5V		V _{CC} =4.5V ~ 5.5V		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
f _{SCL}	时钟频率	-	5	-	10	-	20	MHZ
t _{WH}	时钟高位时间	80	-	40	-	20	-	ns
t _{WL}	时钟低位时间	80	-	40	-	20	-	ns
t _{RI} ^[1]	输入上升时间	-	80	-	40	-	15	ns
t _{FI} ^[1]	输入下降时间	-	80	-	40	-	15	ns
t _{CS}	\bar{S} 高时间	60	-	40	-	25	-	ns
t _{CSS}	\bar{S} 设置时间	60	-	30	-	20	-	ns
t _{CSH}	\bar{S} 保持时间	60	-	30	-	20	-	ns
t _{SU}	Data设置时间	20	-	10	-	5	-	ns
t _{HD}	Data保持时间	20	-	10	-	5	-	ns
t _V	时钟低至输出有效	-	80	-	40	-	20	ns
t _{HO}	输出保持时间	0	-	0	-	0	-	ns
t _{DIS}	输出禁用时间	-	100	-	50	-	25	ns
T _{RO} ^[1]	输出上升时间	80	-	40	-	20	-	ns
t _{FO} ^[1]	输出下降时间	80	-	40	-	20	-	ns
t _{SUHD}	$\overline{\text{HOLD}}$ 保持设置时间	20	-	10	-	5	-	ns
t _{HDHD}	$\overline{\text{HOLD}}$ 保持保持时间	20	-	10	-	5	-	ns
t _{LZ}	$\overline{\text{HOLD}}$ 保持输出低Z	0	100	0	50	0	25	ns
t _{HZ}	$\overline{\text{HOLD}}$ 保持输出高Z	-	100	-	50	-	25	ns
t _{WR}	写入周期时间	-	3	-	3	-	3	ms

注：[1]此参数仅通过特征化来确保。

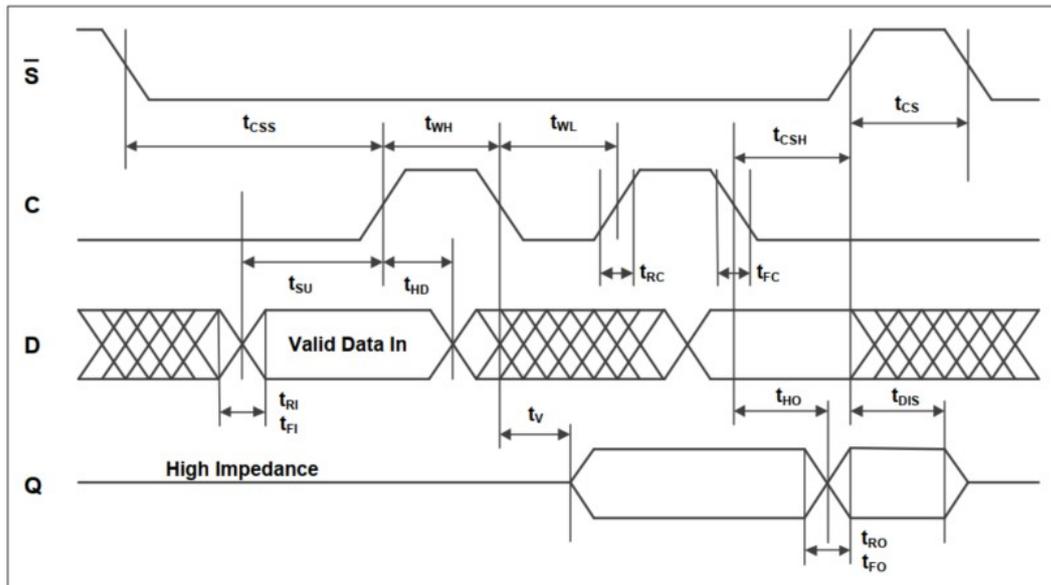


图 5-1 串行输入/输出定时

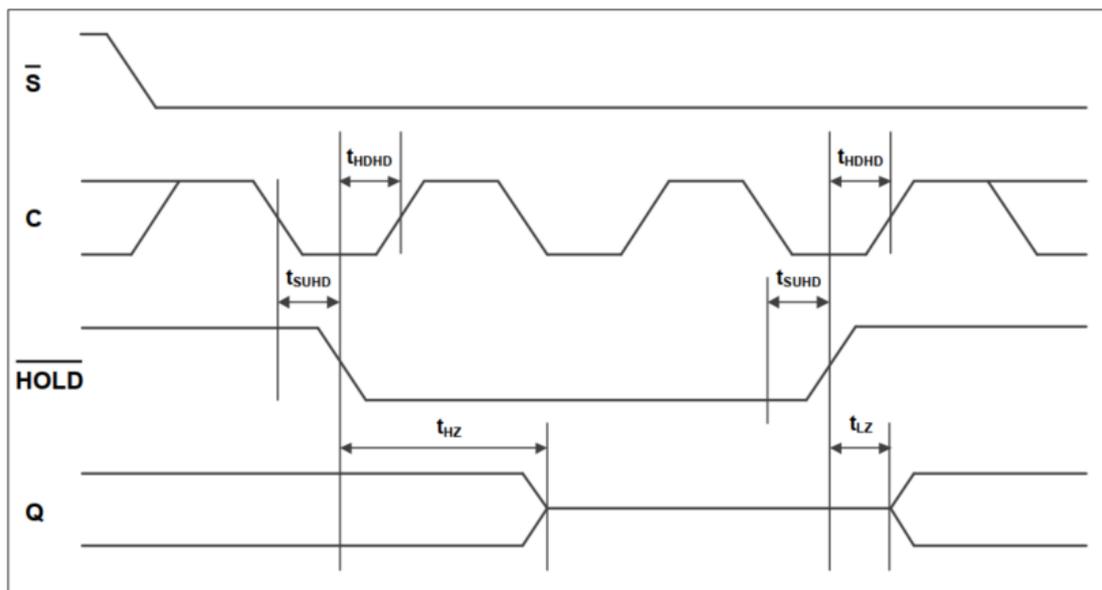


图 5-2 保持条件定时

5.5 引脚电容

引脚电容的工作范围： $T_A = -55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ， $f_C = 5\text{MHz}$ ， $V_{CC} = 1.7\text{V} \sim 5.5\text{V}$ 。

表 5-3 引脚电容

符号	参数[1]	最大值	单位	测试条件
C_{out}	输出电容 (Q)	8	pF	$V_{out}=0\text{V}$
C_{IN}	输入电容 (D)	8	pF	$V_{IN}=0\text{V}$
C_{IN}	输入电容 (其他引脚)	6	pF	$V_{IN}=0\text{V}$

注：[1]设计保证

5.6 可靠性特征

表 5-4 可靠性特征

符号	参数	最小值	单位	测试条件
N_w	写入周期耐久性	6x1000000	周期	$T_A=+25^{\circ}\text{C}$, 页模式
D_R	数据保留	300	年	$T_A=+25^{\circ}\text{C}$

6 通电状态

6.1 通电状态

通电后，AST25C128S处于以下状态：

待机模式。

取消选择（在启动任何指令之前，需要在芯片上进行下降沿选择）。

未处于保持状态。

写入启用闩锁（WEL）位重置为“0”。

正在写入（WIP）位重置为“0”。

状态寄存器中的 SRWD、BP1 和 BP0 位与之前的断电状态保持不变（它们是非易失性位）。

7 初始交付状态

7.1 交付状态

AST25C128S 系列串行 EEPROM 的交付方式如下：

内存数组中的所有位都设置为“1”（每个字节包含 FFh）。

标识页中的所有位都设置为“1”（每个字节包含 FFh）。

状态寄存器中的 SRWD、BP1 和 BP0 位初始化为“0”。

8 说明事项

8.1 运输与储存

芯片在适宜环境下储运。

使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

8.2 开箱与检查

开箱使用芯片时，请注意观察产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查无损坏，无伤痕，管脚整齐，无缺失，无变形。

8.3 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

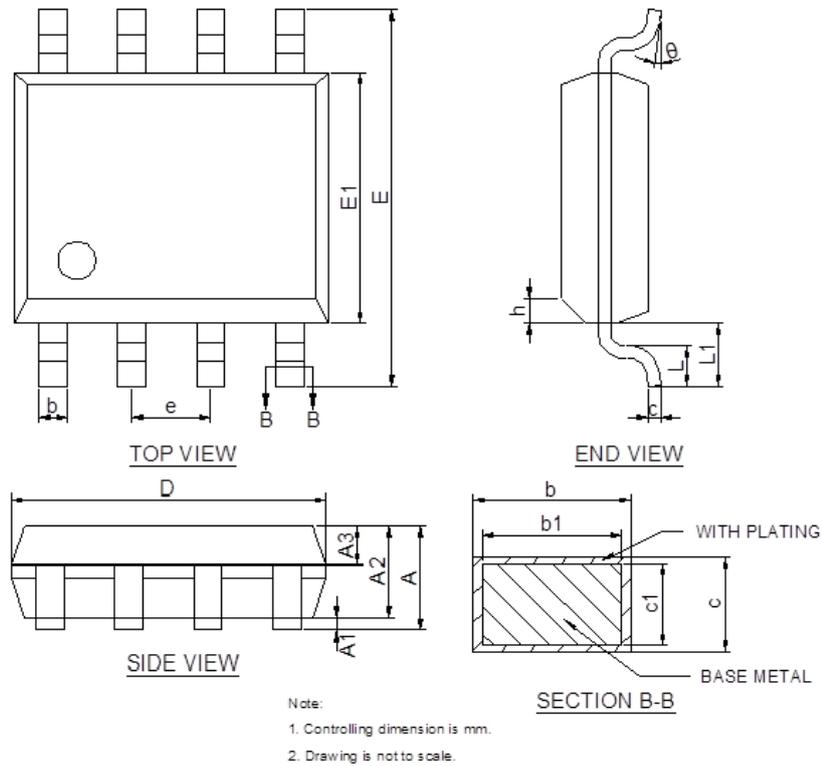
推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；
- c) 此不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；

9 封装信息

9.1 SOP 封装信息

采用 8 引脚 4.9×3.9mm SOP 封装，具体封装尺寸如图 9-2。



单位为毫米

尺寸符号	最小值	公称值	最大值
A	—	—	1.75
A1	0.10	—	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.47
b1	0.38	0.41	0.44
c	0.20	—	0.24
c1	0.19	0.20	0.21
D	4.80	4.90	5.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27BSC		
h	0.25	—	0.50
L	0.50	—	0.80
L1	1.05REF		
θ	0	—	8°

图 9-1 8 引脚 SOP 封装外形图

10 订货信息

型号	封装	引脚数
AST25C128S	SOP	8