



ASTC1270型 CPLD数据手册

服务电话：13691641629 13538015750

1 产品特点

- I/O 工作电压: LVTTTL、CMOS3.3V/2.5V/1.8V/1.5V
- 内核工作电压: 3.3V/2.5V
- 逻辑单元数量: 1270
- 等效宏单元数量: 570~1270
- 管脚间延迟时间: 10ns
- 工作频率 (16 位计数器): 201MHz
- 最大用户可用 I/O 数量: 212
- 封装形式: TQFP144、FBGA256
- 管脚输入/输出电容: 16pf (常温)
- 工作温度范围 (-55°C~+125°C)

2 功能描述

ASTC1270 型 CPLD 芯片全兼容 Altera 公司 MAXII 系列的 EPM1270 型 CPLD 产品, 兼容 Altera 公司的 Quartus 设计开发软件, 能够基于该软件进行 CPLD 器件的设计开发和编程下载。

ASTC1270 采用全新的 CPLD 架构, 突破了传统宏单元在功耗、空间和成本等方面的限制。具有 CPLD 行业最低的动态功耗。

支持各种单端 I/O 接口标准, 例如 LVTTTL、LVCMOS 和 PCI。

具有内部振荡器和用户闪存, 不需要分立振荡器或者非易失存储器, 减少了芯片数量。

实时在系统可编程能力 (ISP), 器件工作时可下载第二个设计, 降低了远程现场更新的成本。灵活的 MultiVolt 内核, 片内电压稳压器支持 3.3-V、2.5-V 和 1.8-V 供电, 减少了电源数量, 简化了电路板设计。

并行闪存加载程序宏功能, 提高了板上不兼容 JTAG 闪存的配置效率, 通过器件实现 JTAG 命令, 简化了电路板管理。

其基本功能模块是粒度介于传统本项目研制的 CPLD 的“功能块”和 FPGA 的“可配置逻辑模块”之间的“逻辑阵列块”。互联通路则采用层次化的互联结构, 来自 I/O 端口的信号经“行布线通道”或“列布线通道”进入到“逻辑阵列块”中, 再由“逻辑阵列块”内部的局部互联通道分配至基本的逻辑单元。配置数据全部集中存储在器件内部的一个 FLASH 存储块中的“CFM”部分中, 器件在上电过程中, 通过“配置映射控制电路”自动将存储在“CFM”中的配置数据装载到各功能模块中; “CFM”的编写、擦除和校验则通过遵循 IEEE Std.1532 协议的“ISP”模块来实现, 通过“ISP”模块可从 JTAG 端口与配套软件工具实现交互。FLASH 存储块除了“CFM”部分还有可为用户提供 8192Kbits 储存空间的“UFM”, 用户可以通过逻辑阵列块与 UFM 块的接口, 对其进行编程、擦除等操作。“LDO”模块则将外部供电的 3.3V 1.8V 电压转换至内部逻辑器件所需的 1.5V 工作电压, 以实现一颗器件可以适应 3.3V、2.5V 和 1.8V 多种不同的电源电压。

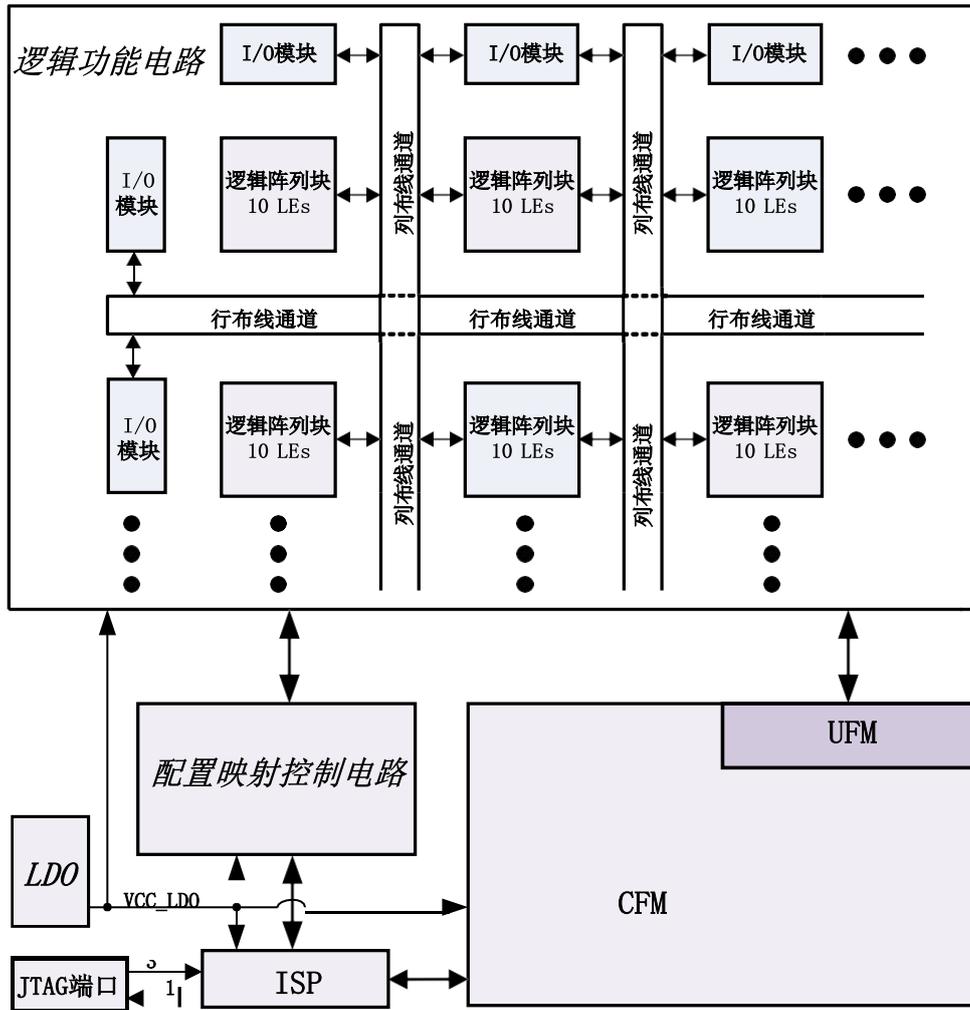


图 1: ASTC1270 功能框图

3 DC 电参数

绝对最大值

符号	参数描述	最小值	最大值	单位
V_{CCINT}	核供电电压	-0.5	+4.6	V
V_{CCO}	IO 供电电压	-0.5	+4.6	V
V_{IN}	输入电压	-0.5	+4.6	V
I_{OUT}	单个引脚输出电流	-25	+25	mA
T_{STG}	储存温度	-65	+150	°C
T_J	结温	-	+135	°C

推荐工作条件

符号	参数描述		最小值	最大值	单位
V _{CCINT}	核供电电压	3.3V 工作	3.00	3.60	V
		2.5V 工作	2.375	2.625	V
V _{CCO}	输出驱动供电电压	3.3V 工作	3.00	3.60	V
		2.5V 工作	2.375	2.625	V
		1.8V 工作	1.71	1.89	V
		1.5V 工作	1.425	1.575	V
V _I	输入电压		-0.5	4.0	V
V _O	输出电压		0	V _{CCO}	V
T _A	工作环境温度		-55	125	°C

推荐工作条件的直流参数

符号	参数描述	测试条件	最小值	典型值	最大值	单位
I _I	输入漏电流	V _I =V _{CCIOmax} to 0V	-10	-	10	uA
I _{OZ}	三态 IO 漏电流	V _O =V _{CCIOmax} to 0V	-10	-	10	uA
I _{CCSB}	待机模式下供电电流	-	-	12	-	mA
V _{SCHMITT}	施密特迟滞电压	V _{CCIO} =3.3V	-	400	-	mV
		V _{CCIO} =2.5V	-	190	-	mV
I _{CCPUP}	V _{CCINT} 上电电流	-	-	55	-	mA
R _{PULLUP}	IO 上拉电阻值	V _{CCIO} =3.3V	5	-	25	kΩ
		V _{CCIO} =2.5V	10	-	40	kΩ
		V _{CCIO} =1.8V	25	-	60	kΩ
		V _{CCIO} =1.5V	45	-	95	kΩ
I _{PULLUP}	未编程时上拉电流	-	-	-	300	uA
C _{IO}	用户 IO 输入电容	-	-	-	8	pF
C _{GCLK}	GCLK 引脚输入电容	-	-	-	8	pF

IO 标准特性——3.3V LVTTTL

符号	参数描述	条件	最小值	最大值	单位
V _{CCIO}	I/O 供电电压	-	3.0	3.6	V
V _{IH}	输入高电平电压	-	1.7	4.0	V
V _{IL}	输入低电平电压	-	-0.5	0.8	V
V _{OH}	输出高电平电压	I _{OH} =-4mA	2.4	-	V
V _{OL}	输出低电平电压	I _{OL} =4mA	-	0.45	V

IO 标准特性——3.3V LVCMOS

符号	参数描述	条件	最小值	最大值	单位
V_{CCIO}	I/O 供电电压	-	3.0	3.6	V
V_{IH}	输入高电平电压	-	1.7	4.0	V
V_{IL}	输入低电平电压	-	-0.5	0.8	V
V_{OH}	输出高电平电压	$V_{CCIO}=3.0,$ $I_{OH}=-0.1mA$	$V_{CCIO}-0.2$	-	V
V_{OL}	输出低电平电压	$V_{CCIO}=3.0,$ $I_{OL}=0..1mA$	-	0.2	V

IO 标准特性——2.5V

符号	参数描述	条件	最小值	最大值	单位
V_{CCIO}	I/O 供电电压	-	2.375	2.625	V
V_{IH}	输入高电平电压	-	1.7	4.0	V
V_{IL}	输入低电平电压	-	-0.5	0.7	V
V_{OH}	输出高电平电压	$I_{OH}=-0.1mA$	2.1	-	V
		$I_{OH}=-1mA$	2.0	-	V
		$I_{OH}=-2mA$	1.7	-	V
V_{OL}	输出低电平电压	$I_{OH}=0.1mA$	-	0.2	V
		$I_{OH}=1mA$	-	0.4	V
		$I_{OH}=2mA$	-	0.7	V

IO 标准特性——1.8V

符号	参数描述	条件	最小值	最大值	单位
V_{CCIO}	I/O 供电电压	-	1.71	1.89	V
V_{IH}	输入高电平电压	-	$0.65 \times V_{CCIO}$	2.25	V
V_{IL}	输入低电平电压	-	-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	输出高电平电压	$I_{OH}=-2mA$	$V_{CCIO}-$ 0.45	-	V
V_{OL}	输出低电平电压	$I_{OL}=2mA$	-	0.45	V

IO 标准特性——1.5V

符号	参数描述	条件	最小值	最大值	单位
V_{CCIO}	I/O 供电电压	-	1.425	1.575	V
V_{IH}	输入高电平电压	-	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	V
V_{IL}	输入低电平电压	-	-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	输出高电平电压	$I_{OH} = -2\text{mA}$	$0.75 \times V_{CCIO}$	-	V
V_{OL}	输出低电平电压	$I_{OL} = 2\text{mA}$	-	$0.25 \times V_{CCIO}$	V

IO 标准特性——3.3V PCI

符号	参数描述	条件	最小值	最大值	单位
V_{CCIO}	I/O 供电电压	-	3.0	3.6	V
V_{IH}	输入高电平电压	-	$0.5 \times V_{CCIO}$	$V_{CCIO} + 0.5$	V
V_{IL}	输入低电平电压	-	-0.5	$0.3 \times V_{CCIO}$	V
V_{OH}	输出高电平电压	$I_{OH} = -500\mu\text{A}$	$0.9 \times V_{CCIO}$	-	V
V_{OL}	输出低电平电压	$I_{OL} = 1.5\text{mA}$	-	$0.1 \times V_{CCIO}$	V

4 AC 电参数

外部参数

符号	参数描述	条件	最小值	最大值	单位
t_{PD1}	最差 pin2pin 延迟	10pF	-	10	ns
t_{PD2}	最好 pin2pin 延迟	10pF	-	5.9	ns
t_{SU}	全局时钟建立时间	-F	1.9	-	ns
t_H	全局时钟保持时间	-	0	-	ns
t_{CO}	全局时钟到输出延迟	10pF	2.0	7.3	ps
t_{CH}	全局时钟高脉宽	-	266	-	ps
t_{CL}	全局时钟低脉宽	-	266	-	ns
t_{CNT}	16 位计数器最小时钟周期	-	5	-	ns
f_{CNT}	16 位计数器最高频率	-	-	201.1	MHz

内部参数 (设计保证)

IO 输入延迟增量

符号	参数描述	最小值	最大值	单位
3.3V LVTTTL	不带施密特触发器	-	0	ps
	带施密特触发器	-	535	ps
3.3V LVCMOS	不带施密特触发器	-	0	ps
	带施密特触发器	-	535	ps
2.5V LVTTTL/LVCMOS	不带施密特触发器	-	37	ps
	带施密特触发器	-	543	ps
1.8V LVTTTL/LVCMOS	不带施密特触发器	-	466	ps
1.5V LVCMOS	不带施密特触发器	-	1090	ps
3.3V PCI	不带施密特触发器	-	0	ps

GCLK 引脚输入延迟增量

符号	参数描述	最小值	最大值	单位
3.3V LVTTTL	不带施密特触发器	-	0	ps
	带施密特触发器	-	493	ps
3.3V LVCMOS	不带施密特触发器	-	0	ps
	带施密特触发器	-	493	ps
2.5V LVTTTL/LVCMOS	不带施密特触发器	-	33	ps
	带施密特触发器	-	677	ps
1.8V LVTTTL/LVCMOS	不带施密特触发器	-	565	ps
1.5V LVCMOS	不带施密特触发器	-	1368	ps
3.3V PCI	不带施密特触发器	-	9	ps

快速电压转换速率输出延迟增量

符号	参数描述	最小值	最大值	单位
3.3V LVTTTL	16mA	-	0	ps
	8mA	-	104	ps
3.3V LVCMOS	8mA	-	0	ps
	4mA	-	104	ps
2.5V LVTTTL/LVCMOS	14mA	-	195	ps
	7mA	-	309	ps
1.8V LVTTTL/LVCMOS	6mA	-	909	ps
	3mA	-	1046	ps
1.5V LVCMOS	4mA	-	1694	ps
	2mA	-	1867	ps
3.3V PCI	20mA	-	5	ps

慢速电压转换速率输出延迟增量

符号	参数描述	最小值	最大值	单位
3.3V LVTTTL	16mA	-	6426	ps
	8mA	-	7308	ps
3.3V LVCMOS	8mA	-	6426	ps
	4mA	-	7308	ps
2.5V LVTTTL/LVCMOS	14mA	-	9796	ps
	7mA	-	10910	ps
1.8V LVTTTL/LVCMOS	6mA	-	22289	ps
	3mA	-	24093	ps
1.5V LVCMOS	4mA	-	38085	ps
	2mA	-	40692	ps
3.3V PCI	20mA	-	418	ps

JTAG 时序参数

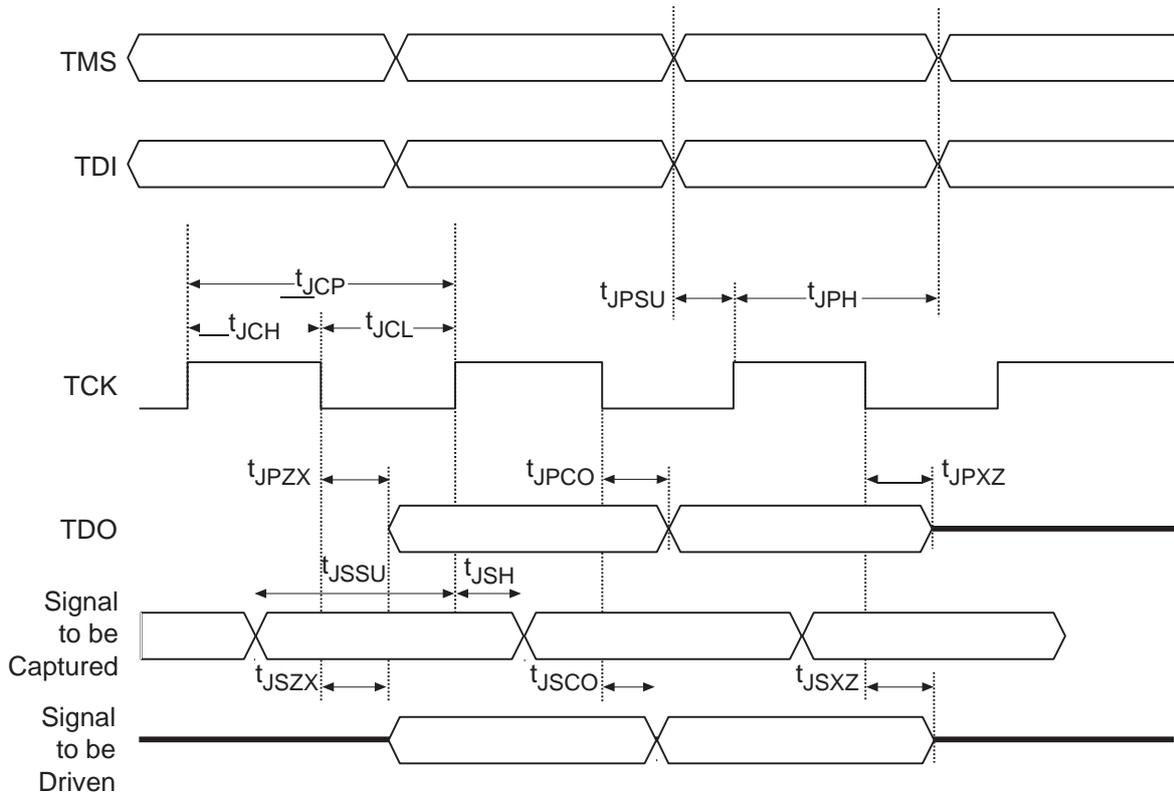


图 2: JTAG 时序图

符号	参数描述	最小值	最大值	单位
t_{JCP}	$V_{CCI01}=3.3V$, TCK 时钟周期	55.5	-	ns
	$V_{CCI01}=2.5V$, TCK 时钟周期	62.5	-	ns
	$V_{CCI01}=1.8V$, TCK 时钟周期	100	-	ns
	$V_{CCI01}=1.5V$, TCK 时钟周期	143	-	ns
t_{JCH}	TCK 时钟高脉宽	20	-	ns
t_{JCL}	TCK 时钟低脉宽	20	-	ns
t_{JPSU}	JTAG 端口建立时间	8	-	ns
t_{JPH}	JTAG 端口保持时间	10	-	ns
t_{JPCO}	JTAG 端口时钟到输出延迟时间	-	15	ns
t_{JPZX}	JTAG 端口高阻到有效输出时间	-	15	ns
t_{JPXZ}	JTAG 端口有效输出到高阻时间	-	15	ns
t_{JSSU}	Capture 寄存器建立时间	8	-	ns
t_{JSH}	Capture 寄存器保持时间	10	-	ns
t_{JSCO}	Update 寄存器时钟到输出延迟时间	-	25	ns
t_{JSZX}	Update 寄存器高阻到输出有效时间	-	25	ns
t_{JSXZ}	Update 寄存器有效输出到高阻时间	-	25	ns

5 引脚排布与定义

表 1: ASTC1270-QFP144 引脚命名及功能描述

引脚名	功能描述	端口类型	QFP144 引脚编号
IO/GCLK0	可编程用户 IO/全局时钟 0	可编程 IO	18
IO/GCLK1	可编程用户 IO/全局时钟 1	可编程 IO	20
IO/GCLK2	可编程用户 IO/全局时钟 20	可编程 IO	89
IO/GCLK3	可编程用户 IO/全局时钟 3	可编程 IO	91
IO/DEV_OE	可编程用户 IO/全局输出使能	可编程 IO	60
IO/DEV_CLRn	可编程用户 IO/全局复位	可编程 IO	61
TDI	JTAG 测试数据输入	IN	34
TMS	JTAG 测试模式	IN	33
TCK	JTAG 测试时钟	IN	35
TDO	JTAG 测试数据输出	OUT	36
GNDINT	内核地	地	17,54,92,128
GNDIO	IO 地	地	10,26,47,65,83,99,115,135
VCCINT	核供电电源	电源	19,56,90,126
VCCIO1	IO 供电电源, Bank1	电源	9,25
VCCIO2	IO 供电电源, Bank2	电源	116,136
VCCIO3	IO 供电电源, Bank3	电源	82,100
VCCIO4	IO 供电电源, Bank4	电源	46,64
No Connect	悬空	-	无
IO	可编程用户 IO	可编程 IO	其他所有引脚

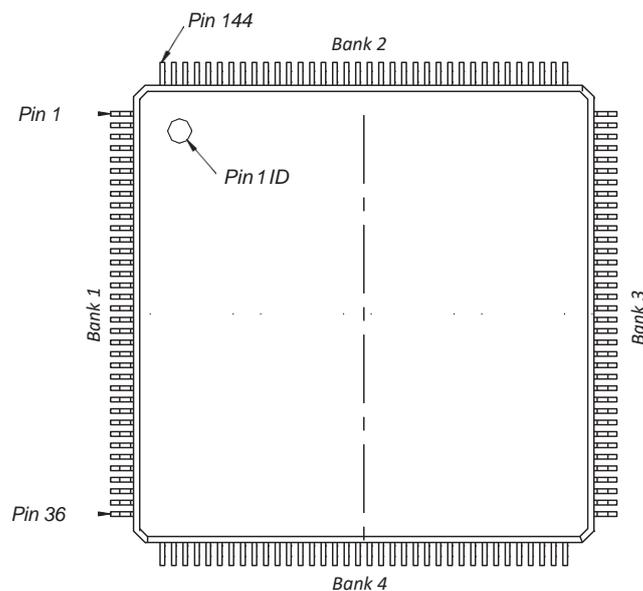
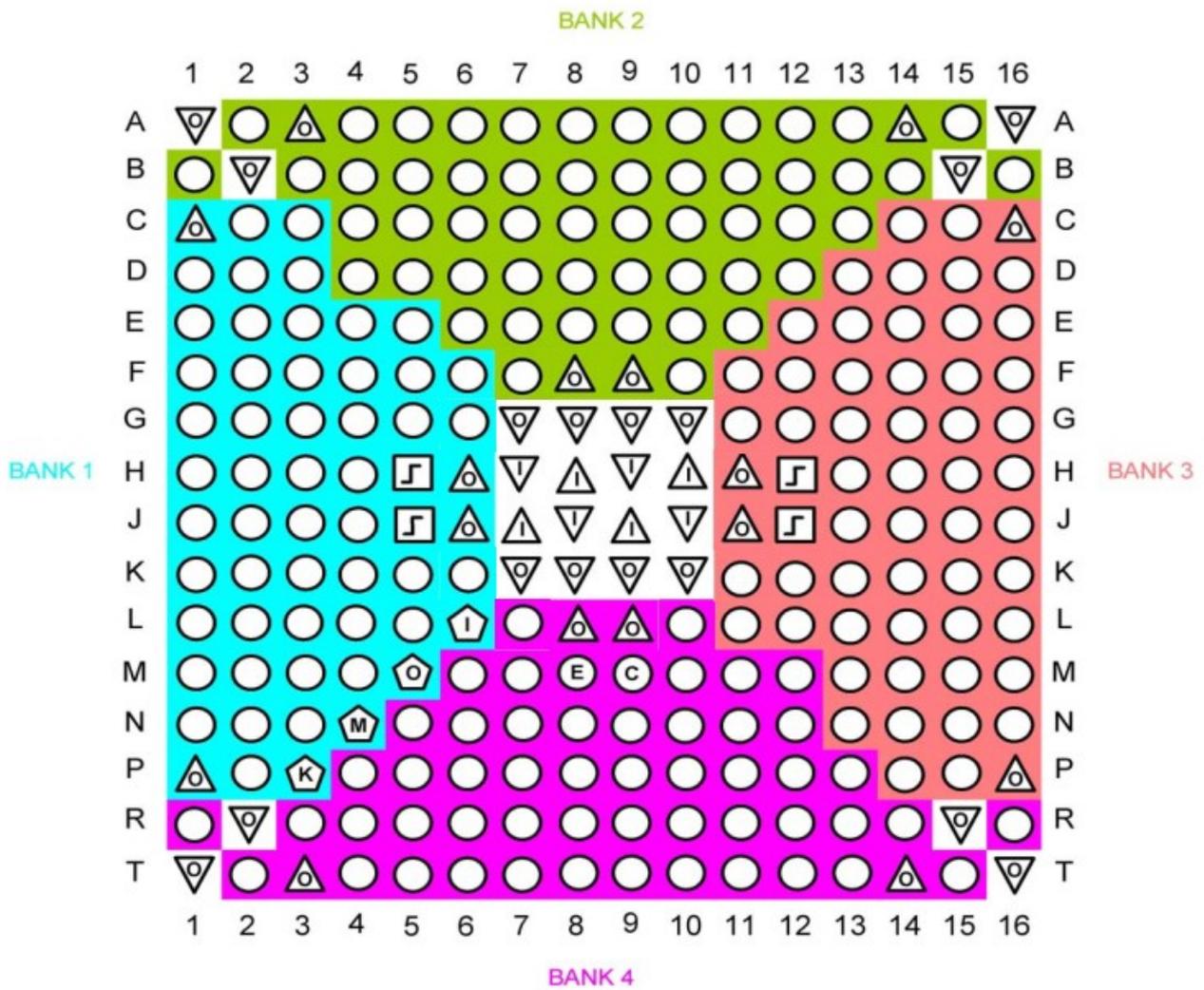


图 3: QFP144 引脚排布示意图

表 2: ASTC1270-FBGA256 引脚命名及功能描述

引脚名	功能描述	端口类型	FBGA256 引脚编号
IO/GCLK0	可编程用户 IO/全局时钟 0	可编程 IO	H5
IO/GCLK1	可编程用户 IO/全局时钟 1	可编程 IO	J5
IO/GCLK2	可编程用户 IO/全局时钟 20	可编程 IO	J12
IO/GCLK3	可编程用户 IO/全局时钟 3	可编程 IO	H12
IO/DEV_OE	可编程用户 IO/全局输出使能	可编程 IO	M8
IO/DEV_CLRn	可编程用户 IO/全局复位	可编程 IO	M9
TDI	JTAG 测试数据输入	IN	L6
TMS	JTAG 测试模式	IN	N4
TCK	JTAG 测试时钟	IN	P3
TDO	JTAG 测试数据输出	OUT	M5
GNDINT	内核地	地	H7,H9,J8,J10
GNDIO	IO 地	地	A1,A16,B2,B15,G7,G8,G9,G10,K7, K8,K9,K10,R2,R15,T1,T16
VCCINT	核供电电源	电源	H8,H10,J7,J9
VCCIO1	IO 供电电源, Bank1	电源	C1,H6,J6,P1
VCCIO2	IO 供电电源, Bank2	电源	A3,A14,F8,F9
VCCIO3	IO 供电电源, Bank3	电源	C16,H11,J11,P16
VCCIO4	IO 供电电源, Bank4	电源	L8,L9,T3,T14
No Connect	悬空	-	无
IO	可编程用户 IO	可编程 IO	其他所有引脚



USER I/O PINS	DEDICATED PINS	POWER / GROUND PINS
USER IOs	GCLK	VCCINT
DUAL PURPOSE PINS		
DEV_OE	TDI	VCCIO
DEV_CLRn	TCK	GNDINT
NO CONNECT	TMS	GNDIO
	TDO	

图 4: FBGA256 引脚排布示意图

6 说明事项

6.1 运输与储存

芯片在适宜环境下储运。使用指定的防静电包装盒进行产品的包装和运输。在运输过程中，确保芯片不要与外物发生碰撞。

6.2 开箱与检查

开箱使用芯片时，请注意观察产品标识。确定产品标识清晰，无污迹，无擦痕。同时，注意检查芯片确定无损坏，无伤痕，管脚整齐，无缺失，无变形。

6.3 使用操作规程及注意事项

器件必须采取防静电措施进行操作。取用芯片时应佩戴防静电手套，防止人体电荷对芯片的静电冲击，损坏芯片。将芯片插入电路板上的底座时以及将芯片从电路板上的底座取出时，应注意施力方向以确保芯片管脚均匀受力。不要因为用力过猛，损坏芯片管脚，导致无法使用。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或带指套操作；
- b) 试验设备和器具应接地；
- c) 不能触摸器件引线；
- d) 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- f) 相对湿度尽可能保持在 $50\% \pm 30\%$ 以上。

7 订货信息

序号	产品型号	产品封装	产品工作温度
1	ASTC1270B	FBGA256	-55~125℃
2	ASTC1270T	TQFP144	-55~125℃