



**深圳市雅创芯瀚电子科技有限公司**  
**SHENZHEN ASTRONG-TECH CO., LTD**

# **ASTA7606**

**八通道 16 位 200kSPS ADC**

服务电话：13691641629 13538015750

# 目 录

主要性能.....	2
应用场合.....	2
功能模块示意图.....	2
电气特性.....	3
数字规格.....	5
时序规格.....	5
极限参数.....	10
ESD 保护.....	10
管脚(焊盘)配置及功能说明.....	11
内部/外部参考电压.....	15
外部参考模式.....	15
内部参考模式.....	15
典型连接关系图.....	16
电源模式选择.....	17
转换控制.....	18
数字接口.....	19
过采样编码模式.....	20
外形尺寸.....	21
订购信息.....	22

## 主要性能

- 16位、200kSPS(所有通道)
- 具有 1MΩ 模拟输入阻抗的输入缓冲器
- 工作温度范围：-40°C至+125°C
- 5V 单模拟电源
- V<sub>DRIVE</sub> 电源电压：2.3V 至 5V
- ±30V 输入箝位保护，8kV ESD
- 2阶抗混叠模拟滤波器
- 片上精密基准源和基准电压源缓冲器
- 真双极性模拟输入范围：±10V、±5V

- 集成数字滤波器的过采样功能
- SNR 86dB (无过采样) 95dB(64 倍过采样)
- QFP-64 封装 12mm×12mm

## 应用场合

- 电力线路监控
- 继电保护
- 多相电机控制
- 仪器仪表和控制系统
- 数据采集系统

## 功能模块示意图

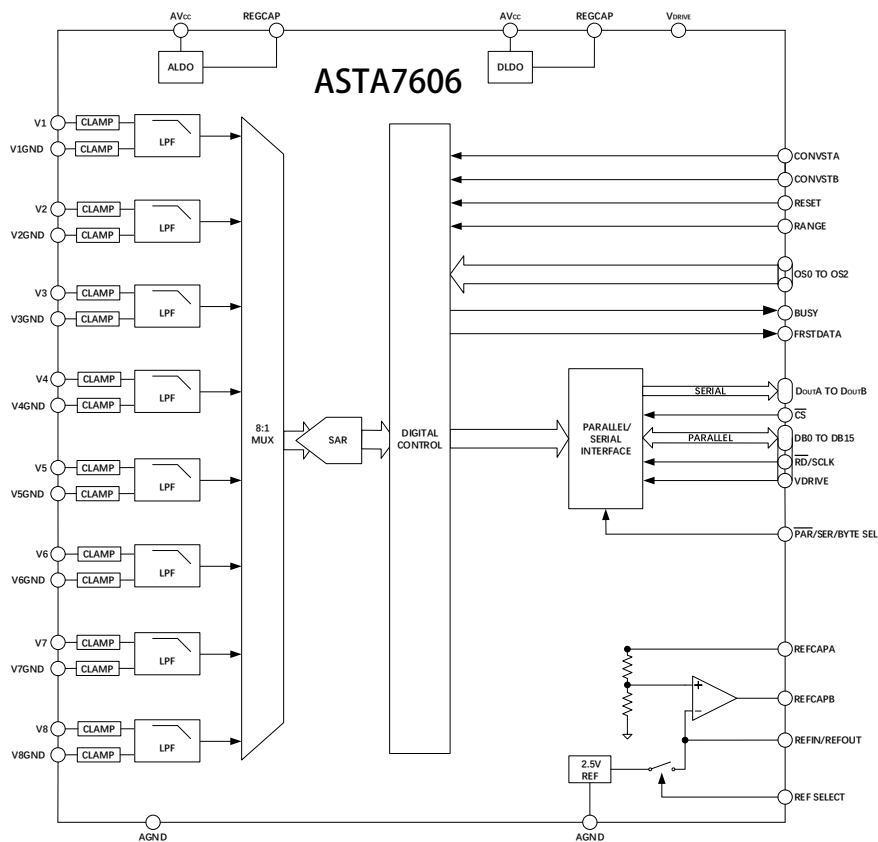


图 1 ASTA7606 芯片模块示意图

## 电气特性

除非另有说明，AVCC=4.75V 至 5.25V、VDRIVE=2.3V 至 5.25V、200kSPS 采样率，单端输入、2.5V 内部基准电压。

表 1 电气特性

参数	条件	最小值	典型值	最大值	单位
分辨率			16		位
微分非线性 (DNL)	全 25°C		±2		LSB LSB
积分非线性 (INL)	全 25°C		±4		LSB LSB
输入端阻抗	25°C		1		MΩ
模拟输入范围±10V	全	-10		10	V
模拟输入范围±5V		-5		5	V
输入电容			5		pF
电源电压 (AVCC)	全	4.75	5	5.25	V
电源电压 (VDRIVE)	全	2.3		5.25	V
电源电流 (IAVCC)	全		20		mA
电源电流 (IVDRIVE)	全		1.1		mA
正常工作功耗	全		100		mW
待机功耗	25°C		2		mW
关断功耗	25°C		2.5	25	μW

参数	条件	最小值	典型值	最大值	单位
信噪比 (SNR) <sup>1</sup> _无过采样 (无 OS)	±10V 范围 ±5V 范围		85		dB dB dB
信噪比 (SNR) <sup>1</sup> _过采样率 (OSR)=16x	±10V 范围 ±5V 范围		91.5		dB dB dB
无杂散动态范围 (SFDR)	25°C		72		dB
基准源温漂	全		+/-3.5		ppm/°C

1 .测量条件为：1kHz 输入频率、满量程正弦波。

## 数字规格

除非另有说明，AVCC=4.75V 至 5.25V、VDRIVE=2.3V 至 5.25V、200kSPS 采样率，单端输入、2.5 V 内部基准电压。

表 2 数字规格参数

参数	温度	最小值	典型值	最大值	单位
<b>逻辑输入</b>					
逻辑 1 电压	全	0.7xVDRIVE			V
逻辑 0 电压	全	0		0.3xVDRIVE	V
输入电流	全			±1	μA
输入电容	全		5		pF
<b>数字输出</b>					
逻辑 1 电压	全	VDRIVE-0.2			V
逻辑 0 电压	全			0.2	V
编码格式（默认）			二进制补码		

## 时序规格

除非另有说明，AVCC=4.75V 至 5.25V、VDRIVE=2.3V 至 5.25V、200kSPS 采样率，单端输入、2.5V 内部基准电压。使用 20 pF 负载电容测试接口时序，具体取决于 VDRIVE 和串行接口的负载电容。

### 1.通用时序规格

表 3 通用时序规格参数

参数	最小值	典型值	最大值	单位	描述
t <sub>CYCLE</sub>			5	μs	连续 CONVST 上升沿之间的最短时间（不包括过采样模式）
t <sub>LP_CNV</sub>	25			ns	CONVST 低电平脉冲宽度
t <sub>HP_CNV</sub>	25			ns	CONVST 高电平脉冲宽度
t <sub>D_CNV_BSY</sub>			40	ns	CONVST 高电平至 BUSY 高电平延迟时间
t <sub>S_BSY_CS</sub>	0			ns	从 BUSY 下降沿到 $\overline{CS}$ 下降沿建立时间
t <sub>D_CNVA_CNVB</sub>			0.5	ms	CONVST A 与 CONVST B 上升沿之间最大延迟时间

参数	最小值	典型值	最大值	单位	描述
$t_{CS\_BSY}$			25	ns	CS上升沿到 BUSY 下降沿最大间隔时间
$t_{CONV}$		4		$\mu s$	转换时间; 无过采样
		9		$\mu s$	2 倍过采样
		19		$\mu s$	4 倍过采样
		39		$\mu s$	8 倍过采样
		79		$\mu s$	16 倍过采样
		159		$\mu s$	32 倍过采样
		319		$\mu s$	64 倍过采样
$t_{RESET}$	50			ns	RESET 高电平脉冲宽度
$t_{DEVICE\_SETUP}$	25			ns	RESET 下降沿和第一个 CONVST 上升沿之间的时间
$t_{WAKE\_UP}$					待机/关断模式后的唤醒时间
待机			100	$\mu s$	内部参考电压
关断			30	ms	外部参考电压
			13	ms	外部参考电压

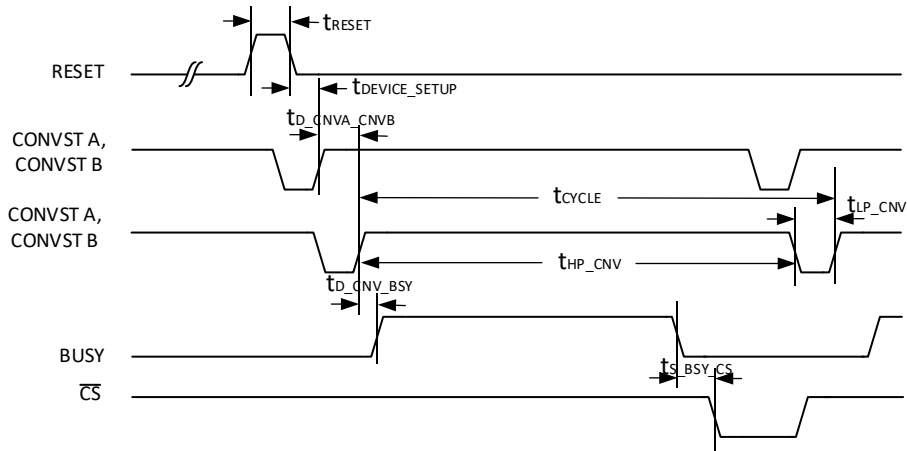


图 2 转换时序图，转换后读入数据

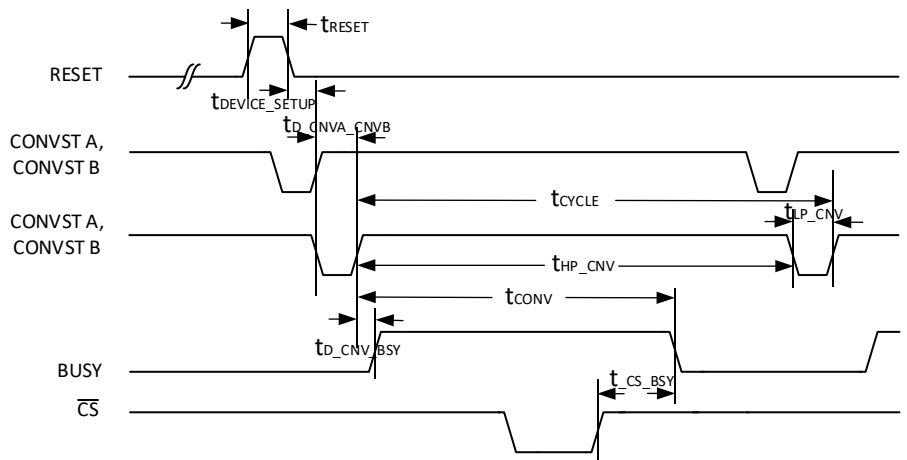


图 3 转换时序图，转换期间读入数据

## 2. 并行模式时序规格

表 4 并行模式时序规格参数

参数	最小值	典型值	最大值	单位	描述
$t_{S\_CS\_RD}$	0			ns	$\overline{CS}$ 下降沿到 $\overline{RD}$ 下降沿建立时间
$t_{H\_RD\_CS}$	0			ns	$\overline{RD}$ 上升沿到 $\overline{CS}$ 上升沿保持时间
$t_{HP\_RD}$	15			ns	$\overline{RD}$ 高电平脉冲宽度
$t_{LP\_RD}$	16				$\overline{RD}$ 低电平脉冲宽度
$t_{HP\_CS}$	22			ns	$\overline{CS}$ 高电平脉冲宽度
$t_{D\_CS\_DB}$			16	ns	从 $\overline{CS}$ 到 $DBx$ 三态禁用的延迟时间
$t_{H\_CS\_DB}$	6			ns	$\overline{CS}$ 到 $DBx$ 保持时间
$t_{D\_RD\_DB}$			16	ns	$\overline{RD}$ 下降沿后的数据传输时间
$t_{H\_RD\_DB}$	6			ns	$\overline{RD}$ 下降沿后的数据保持时间
$t_{DHZ\_CS\_DB}$			22	ns	$\overline{CS}$ 上升沿到 $DBx$ 三态使能延迟时间
$t_{D\_CS\_FD}$			15	ns	从 $\overline{CS}$ 下降沿到 $FRSTDATA$ 三态禁用的延迟时间
$t_{D\_CS\_FDH}$			15	ns	从 $\overline{CS}$ 下降沿到 $FRSTDATA$ 高电平的延迟时间
$t_{D\_RD\_FDH}$			16	ns	从 $\overline{RD}$ 下降沿到 $FRSTDATA$ 高电平的延迟时间
$t_{D\_RD\_FDL}$			19	ns	从 $\overline{RD}$ 下降沿到 $FRSTDATA$ 低电平的延迟时间
$t_{DHZ\_FD}$			24	ns	从 $\overline{CS}$ 上升沿到 $FRSTDATA$ 三态使能的延迟时间
$t_{D\_SCK\_FDL}$			17	ns	从第 16 次 $SCLK$ 下降沿到 $FRSTDATA$ 低电平的延迟时间

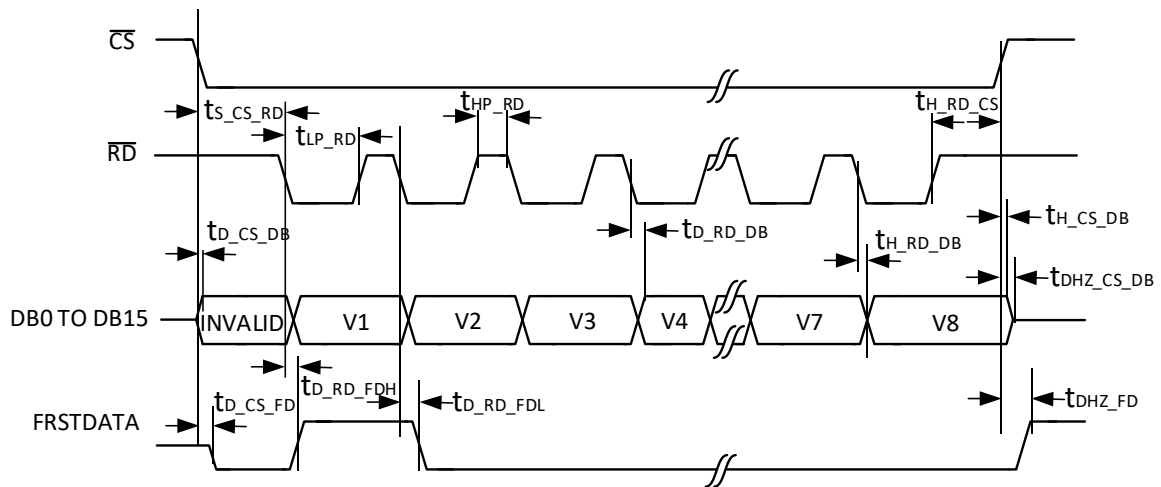


图 4 并行模式读取时序图，分离的 $\overline{CS}$ 和 $\overline{RD}$ 脉冲



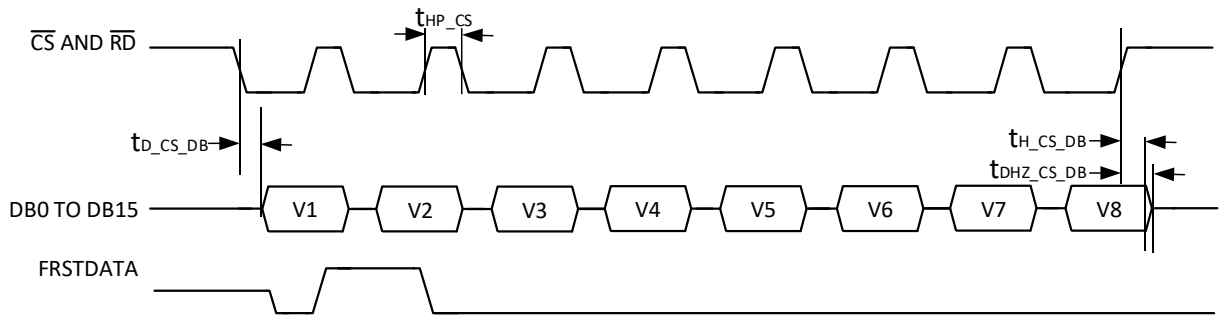


图 5 并行模式读取时序图，相连的 $\overline{CS}$ 和 $\overline{RD}$

### 3. 串行模式时序规格

表 5 串行模式时序规格参数

参数	最小值	典型值	最大值	单位	描述
$f_{SCLK}$			30	MHz	SCLK 频率; $f_{SCLK} = 1/t_{SCLK}$
$t_{SCLK}$	$1/f_{SCLK}$			$\mu s$	最短 SCLK 周期
$t_{S\_CS\_SCK}$	2			ns	$\overline{CS}$ 到 SCLK 下降沿建立时间
$t_{H\_SCK\_CS}$	2			ns	SCLK 到 $\overline{CS}$ 上升沿保持时间
$t_{LP\_SCK}$	$0.4 \times t_{SCLK}$			ns	SCLK 低电平脉宽
$t_{HP\_SCK}$	$0.4 \times t_{SCLK}$			ns	SCLK 高电平脉宽
$t_{DHZ\_CS\_DO}$			22	ns	从 $\overline{CS}$ 上升沿到 $D_{OUTX}$ 三态使能的延迟时间
$t_{D\_SCK\_DO}$			17	ns	SCLK 上升沿后的 $D_{OUTX}$ 数据传输时间
$t_{H\_SCK\_DO}$	7			ns	SCLK 上升沿后的 $D_{OUTX}$ 输出数据保持时间
$t_{D\_CS\_FD}$			15	ns	从 $\overline{CS}$ 到 $D_{OUTX}$ 三态禁用的延迟时间/从 $\overline{CS}$ 到 MSB 有效的延迟时间

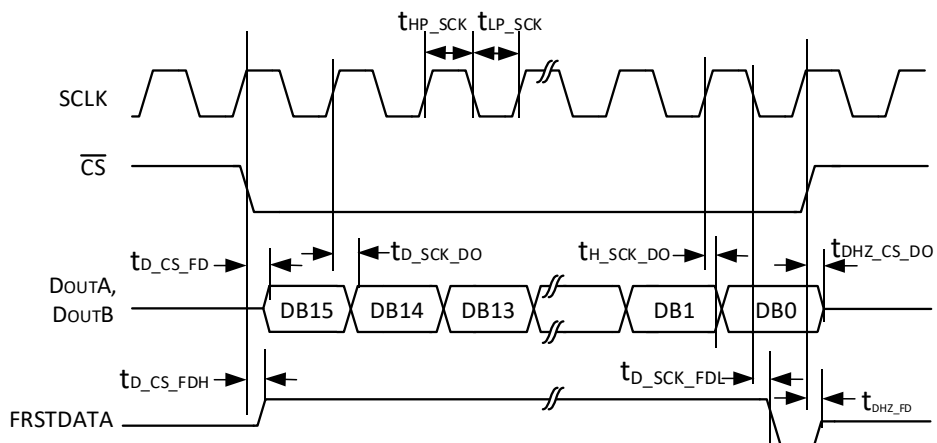


图 6 串行时序图，ADC 读取模式（通道 1）

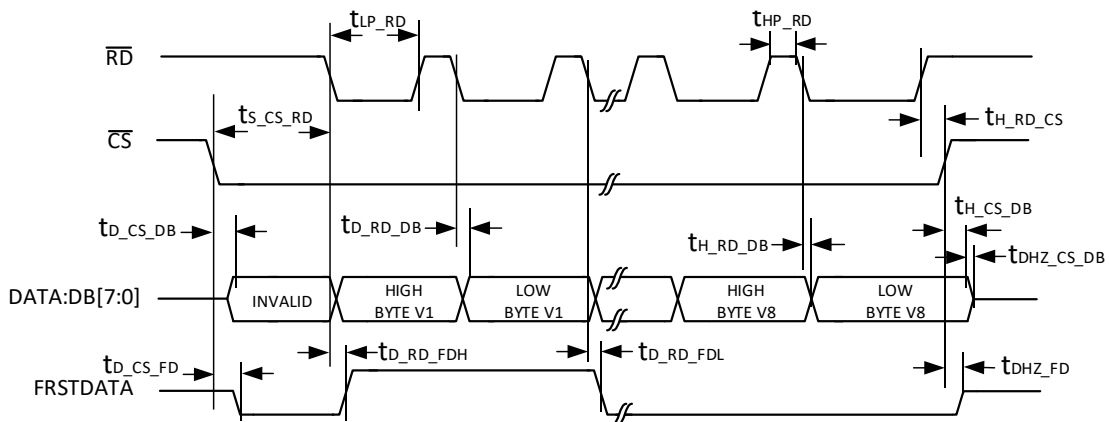


图 7 串行接口时序图，字节模式读操作

## 极限参数

AVCC 至 AGND .....	-0.3V 至 7V
VDRIVE 至 AGND .....	-0.3V 至 AVCC +0.3V
模拟输入电压至 AGND.....	±22V
数字输入电压至 AGND.....	-0.3V 至 VDRIVE+0.3V
数字输出电压至 AGND.....	-0.3V 至 VDRIVE+0.3V
最大结温 TJ,MAX.....	150°C
工作温度范围.....	-40°C 至 85°C
存储温度范围.....	-65°C 至 150°C
ESD(Human Body Model) 除模拟输入外.....	3500V
ESD(Human Body Model) 模拟输入.....	8000V

**注意：**对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



### ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

## 管脚(焊盘)配置及功能说明

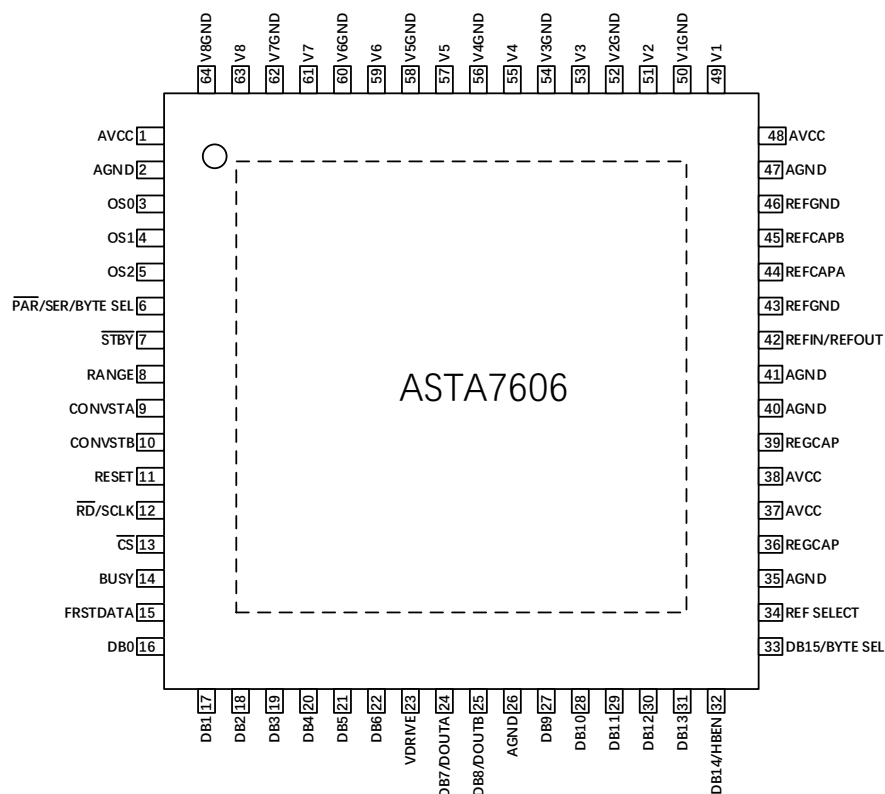


图 8 8 通道 ASTA7606 管脚（焊盘）配置（俯视

图）表 6 管脚定义

引脚编号	引脚类型	引脚名称	引脚功能
1, 37, 38, 48	P	AVCC	模拟电源电压，4.75 V至5.25 V。电源引脚去耦至AGND。
2, 26, 35, 40, 41, 47	G	AGND	模拟地。为片上所有模拟电路的接地点，六个AGND引脚均须连接至系统层的地平面。
3 至 5	DI	OS0 至 OS2	过采样模式引脚。过采样率配置详情参见表9。
6	DI	PAR/SER/BYTE SEL	并行/串行接口选择输入。若此引脚为逻辑低电平，选择并行接口输入；若此引脚为逻辑高电平，则选择串行接口输入。详情参见表8。
7	DI	STBY	电源模式选择。此引脚接逻辑低电平时，配合RANGE引脚一起控制可将芯片配置成待机模式或关断模式，详情参见表7。电路正常工作时须置为逻辑高电平。

引脚编号	引脚类型	引脚名称	引脚功能
8	DI	RANGE	模拟输入范围选择。电路正常工作下，此引脚决定模拟输入通道的输入范围。若STBY引脚处于逻辑高电平，RANGE为0时，输入范围为±5V；RANGE为1时，输入范围为±10V。若STBY引脚处于逻辑低电平，芯片则进入省电模式（待机或关断模式），详情参见表7。
9, 10	DI	CONVSTA CONVSTB	转换开始输入信号。当CONVST A和B引脚从低电平变为高电平时ADC开始转换。
11	DI	RESET	复位输入，高电平有效。在ADC转换期间进行RESET，则转换终止；在读取期间进行RESET，则输出寄存器复位为全0。建议器件上电后先RESET一次。
12	DI	$\overline{RD}$ /SCLK	并行接口模式时，并行数据读取控制输入( $\overline{RD}$ )。串行接口模式时，串行时钟输入(SCLK)。
13	DI	$\overline{CS}$	片选信号。对于串行和并行接口，此引脚均为低电平有效，用于ADC数据读取或寄存器数据读写。
14	DO	BUSY	输出忙信号。此引脚随同CONVSTA和CONVSTB的上升沿变为逻辑高电平。所有通道转换过程完成之前，BUSY输出保持高电平。
15	DO	FRSTDATA	第一个数据输出标志。FRSTDATA 输出信号指示何时在并行接口或串行接口上读取第一通道V1的数据。
16至22	DO	DB0 至 DB6	并行输出数据位。使用并行接口时，这些引脚用作三态并行数字输入和输出；使用串行接口时，应将这些引脚连接到AGND。当使用并行字节接口时，DB[7:0]在读两次操作后输出 16位转换结果。
23	P	VDRIVE	逻辑电源输入。此引脚的电源电压（2.3V至5.25V）为逻辑接口的工作电压。
24	DO	DB7/DOUT A	并行输出数据位 (DB7)/串行接口数据输出引脚(DOUTA)。使用并行接口时，此引脚用作三态并行数字输入/输出引脚。使用串行接口时，此引脚用作DOUTA。
25	DO	DB8/DOUT B	并行输出数据位8(DB8)/串行接口数据输出引脚(DOUTB)。使用并行接口时，此引脚用作三态并行数字输入/输出引脚；使用串行接口时，此引脚用作DOUTB。
31至27	DO	DB[13:9]	并行输出数据位DB13至DB9。使用并行接口时，这些引脚用作三态并行数字输入和输出引脚；使用串行接口时，应将这些引脚连接到AGND。

引脚编号	引脚类型	引脚名称	引脚功能
32	DO/DI	DB14/HBEN	<p>并行输出数据位14(DB14)/高位字节使能(HBEN)</p> <p>当<math>\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0</math>时, 引脚用作三态门并行数字输入和输出引脚。<math>\overline{\text{CS}}</math>和<math>\overline{\text{RD}}</math>均为低电平时, 输出DB14的转换结果;</p> <p>当<math>\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0</math>, 且<math>\text{DB15}/\text{BYTE SEL}=1</math>时, 芯片进入并行字节接口模式, HBEN决定高位字节输出先后。若</p> <p>HEBN=1, 高位字节(MSB)先输出。 HEBN=0, 低位字节(LSB)先输出。</p>
33	DO/DI	DB15/BYTE SEL	<p>并行输出数据位15(DB15)/并行字节模式选择(BYTE SEL)</p> <p>当<math>\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0</math>时, 引脚用作三态门并行数字输入和输出引脚。<math>\overline{\text{CS}}</math>和<math>\overline{\text{RD}}</math>均为低电平时, 输出DB15的转换结果;</p> <p>当<math>\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1</math>时, BYTE SEL决定芯片接口串并行模式。该状态下, 若</p> <p>DB15/BYTE SEL=0, 则为串行接口模式; DB15/BYTE SEL=1, 则为并行字节接口模式。</p>
34	DI	REF SELECT	<p>内部/外部基准电压选择逻辑输入。如果此引脚设为逻辑高电平, 则选择内部基准电压模式。如果此引脚设为逻辑低电平, 则内部基准电压禁用, 须使用外部基准电压。</p>
36,39	P	REGCAP	<p>去耦电容引脚, 用于1.9V内部稳压器、模拟低压差(ALDO)和数字低压差(DLDO)稳压器的电压输出。须连接1<math>\mu</math>F去耦电容至AGND。</p>
42	AIO	REFIN/ REFOUT	<p>基准电压输入(REFIN)/基准电压输出(REFOUT)。当REF SELECT引脚设置为逻辑高电平时, 使用内部2.5 V基准电压源; 当REF SELECT引脚设置为逻辑低电平时, 内部基准禁用, 可使用外部2.5 V基准电压源。对于内部和外部基准电压源选项, 从REFIN引脚到地都应采用10 <math>\mu</math>F去耦电容(靠近REFGND引脚)。</p>
43,46	AI	REFGND	<p>基准电压接地引脚。均连接至AGND。</p>
44,45	AIO	REFCAPA, REFCAPB	<p>基准电压缓冲输出。须将这些引脚连在一起, 并通过低ESR(有效串联电阻) 10 <math>\mu</math>F陶瓷去耦电容至AGND。引脚上的电压通常为4.5 V。</p>
49	AI	V1	通道1模拟输入。
50	AI	V1GND	通道1模拟输入。
51	AI	V2	通道2模拟输入。
52	AI	V2GND	通道2模拟输入。
53	AI	V3	通道3模拟输入。

引脚编号	引脚类型	引脚名称	引脚功能
54	AI	V3GND	通道3模拟输入。
55	AI	V4	通道4模拟输入。
56	AI	V4GND	通道4模拟输入。
57	AI	V5	通道5模拟输入。
58	AI	V5GND	通道5模拟输入。
59	AI	V6	通道6模拟输入。
60	AI	V6GND	通道6模拟输入。
61	AI	V7	通道7模拟输入。
62	AI	V7GND	通道7模拟输入。
63	AI	V8	通道8模拟输入。
64	AI	V8GND	通道8模拟输入。

## 内部/外部参考电压

ASTA7606 有内部/外部两种参考电压模式，当 REF SELECT 引脚置高电平时，内部参考模式使能，内部基准源提供参考电压；当 REF SELECT 引脚置低电平时，内部参考禁用，可输入外部参考电压。

### 外部参考模式

ASTA7606 的外部参考模式配置如图 9 所示。

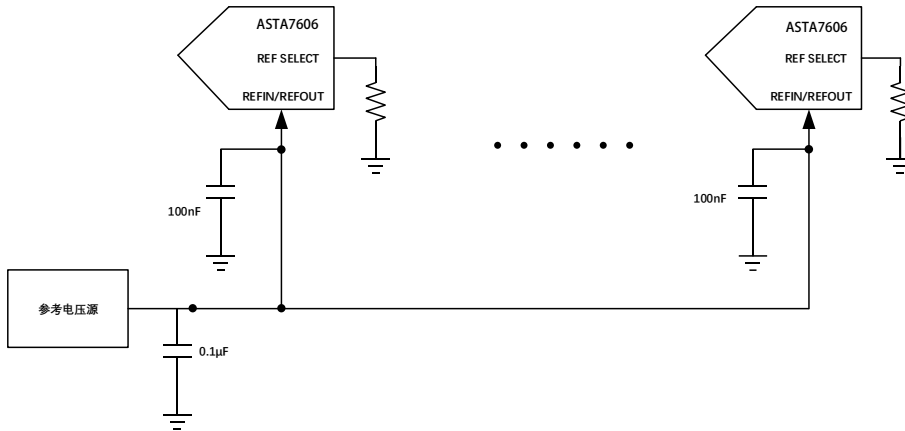


图 9 单个外部基准驱动多个 ASTA7606 REFIN 引脚

### 内部参考模式

ASTA7606 的内部参考模式配置如图 10 所示。

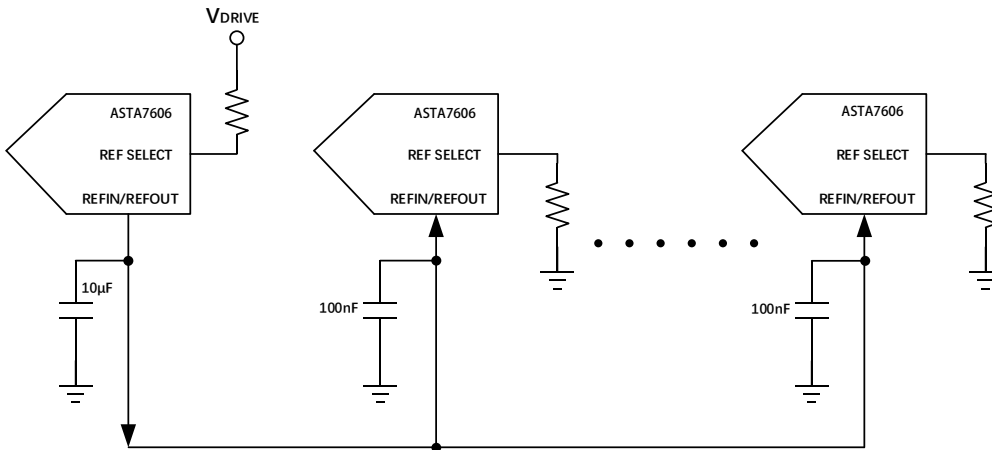


图 10 内部基准驱动多个 ASTA7606 REFIN 引脚



## 典型连接关系图

如图 11 所示，该图为 ASTA7606 的典型连接关系图。

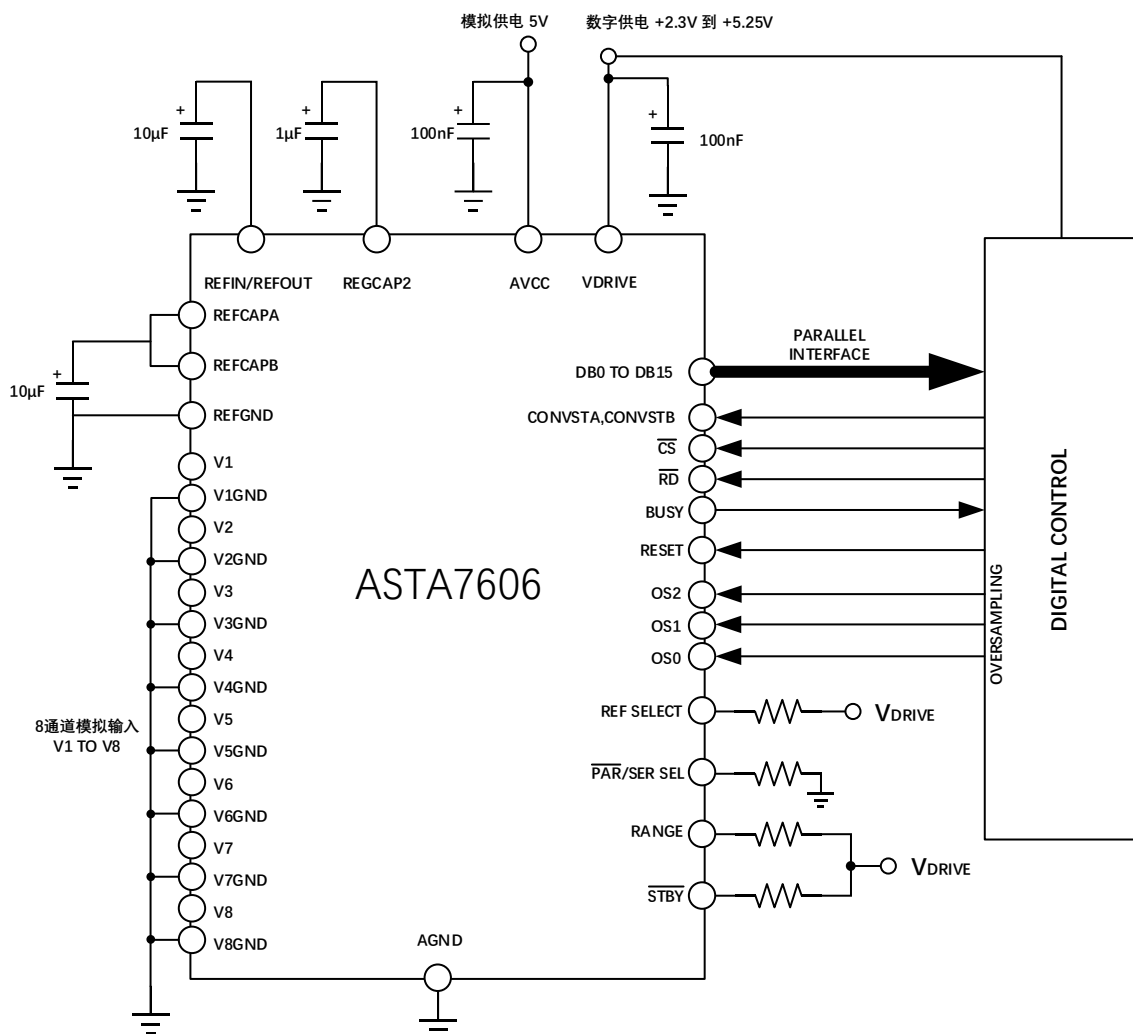


图 11 ASTA7606 典型连接关系图

# 电源模式选择

ASTA7606 有两种电源模式，分别是正常工作模式（±5V、±10V 输入）和省电模式（待机和关断），由STBY和 RANGE 引脚控制，配制关系见表7

表 7 电源模式选择

电源模式	$\overline{\text{STBY}}$	RANGE
关断	0	0
待机	0	1
±5V 输入范围	1	0
±10V 输入范围	1	1

## 转换控制

如图 12 所示，CONVST A 上升沿使 V1-V4 通道的采样保持电路进入保持模式，CONVST B 上升沿使 V5-V8 通道采保电路进入保持模式，实现同步采样功能。当 CONVSTA 和 CONVSTB 的上升沿均到来，转换过程开始。

BUSY 信号表征转换过程，该信号下降沿时，采保电路回到采样模式，新的数据可以从 DB[15:0] 读出。

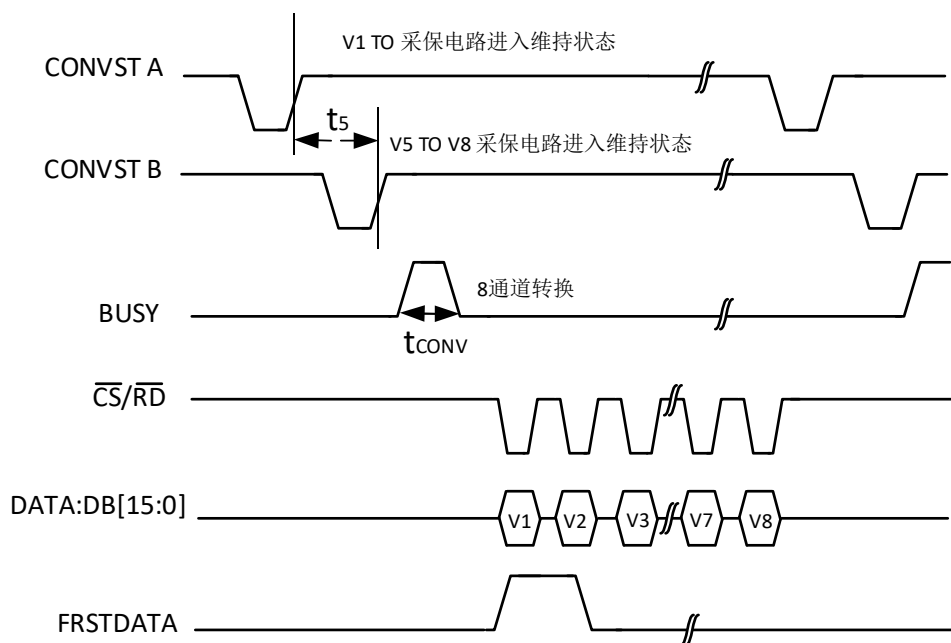


图 12 ASTA7606 使用独立的 CONVST A 和 CONVST B 信号时对通道集进行同步采样（并行模式）

## 数字接口

ASTA7606 有三种接口可选：并行接口，高速串行接口，并行字节接口。三种模式受  $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$  和 DB15/BYTE SEL 两组引脚控制，配置关系见表 8。

表 8 接口模式选择

$\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$	DB 15	接口模式
0	0	并行
1	0	串行
1	1	并行字节

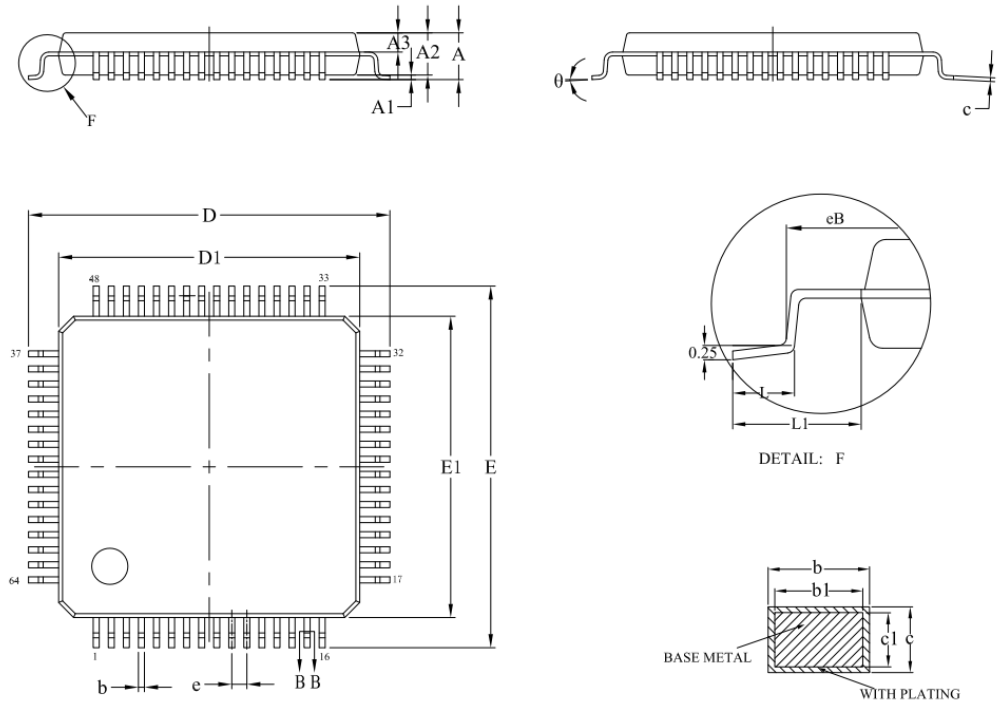
## 过采样编码模式

表 9 展示过采样译码与过采样率的对应关系，以及 ASTA7606 不同采样率下的 SNR 性能。

表 9 过采样编码

OS[2:0]	OS Ratio	SNR 5V 范围(dBFS)	SNR 10V 范围(dBFS)	3 dB BW 5V 范围(kHz)	3 dB BW 10V 范围(kHz)	最高转换速率(kHz)
000	No OS		86.31			
001	2		86.62			
010	4		89.03			
011	8		91.53			
100	16		91.51			
101	32		92.85			
110	64		95.08			
111	invalid					

# 外形尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
eB	11.05	—	11.25
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

图 13 64 脚 QFP 封装尺寸图

## 订购信息

表 10 产品订购信息

型号		工作温度范围	封装类型
ASTA7606		-40~85℃	LQFP-64